

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 11 月 6 日 (06.11.2003)

PCT

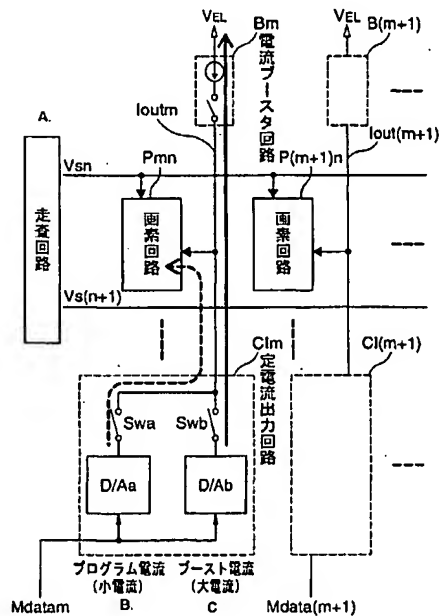
(10) 国際公開番号
WO 03/091980 A1

- (51) 国際特許分類: G09G 3/30, H05B 33/14 (72) 発明者: 今村 陽一 (IMAMURA, Yoichi); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP03/05309
- (22) 国際出願日: 2003 年 4 月 24 日 (24.04.2003) (74) 代理人: 上柳 雅誓, 外 (KAMIYANAGI, Masataka et al.); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産室内 Nagano (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (81) 指定国 (国内): CN, KR.
- 特願 2002-123036 2002 年 4 月 24 日 (24.04.2002) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 特願 2003-116368 2003 年 4 月 21 日 (21.04.2003) JP
- (71) 出願人: セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都 新宿区 西新宿 2 丁目 4 番 1 号 Tokyo (JP). 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: ELECTRONIC DEVICE, ELECTRONIC APPARATUS, AND METHOD FOR DRIVING ELECTRONIC DEVICE

(54) 発明の名称: 電子装置、電子機器、および電子装置の駆動方法



(57) Abstract: An electronic device comprises a unit circuit (Pmn) having an electronic element, a data line (Ioutm) connected to the unit circuit (Pmn), first output means (D/Aa) for outputting a current or voltage as a first output corresponding to a data signal (Mdatam) supplied from external, second output means (D/Ab) for outputting a current or voltage as a second output corresponding to the magnitude of the first output, and a selection supply means (Swa, Swb) adapted for selecting one or both of the first and second output and supplying the selected output or outputs to the data line (Ioutm). Thus the image reproducibility in the low-luminance low-gradation display area of a display device using an EL element is improved.

Bm...CURRENT BOOSTER CIRCUIT
Pmn...PIXEL CIRCUIT
P(m+1)n...PIXEL CIRCUIT
A...SCANNING CIRCUIT
CIm...CONSTANT CURRENT OUTPUT CIRCUIT
B...PROGRAM CURRENT (SMALL CURRENT)
C...BOOSTED CURRENT (LARGE CURRENT)

[続葉有]

WO 03/091980 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

電子素子を備える単位回路 (P_{mn})、単位回路 (P_{mn}) に接続されたデータ線 (I_{outm})、外部から供給されたデータ信号 (M_{datam}) に対応した電流または電圧を第1の出力として出力するための第1出力手段 (D/A_a)、第1の出力の大小に対応した電流または電圧を第2の出力として出力するための第2出力手段 (D/A_b)、および第1出力手段 (D/A_a) からの第1の出力または第2出力手段 (D/A_b) からの第2の出力の一方または双方を選択してデータ線 (I_{outm}) に供給可能に構成された選択供給手段 (S_{wa}, S_{wb}) を備える電子装置である。これによりEL素子を利用した表示装置の低輝度低階調表示領域における画像再現性を改善する。

明細書

電子装置、電子機器、および電子装置の駆動方法

[技術分野]

- 5 本発明は有機エレクトロルミネセンス（以下、「EL」という。）等を利用する電気光学素子の駆動回路に関し、特に、低階調表示領域においても鮮明に正確な明るさで発光させるための駆動方法の改良に関する。

[背景技術]

- 10 EL素子等の電気光学素子を駆動する方法として、クロストークが無く、低電力で駆動でき、電気光学素子の耐久性を向上させることが可能な、アクティブマトリックス駆動方式が利用されている。EL素子は、供給される電流の大きさに対応した輝度で発光するため、所望の明るさを得るためには正確な電流値をEL素子に供給することが必要である（例えば、国際公開WO 98/36407号パ
15 ンフレットを参照）。

- 図13に、アクティブマトリックス駆動方式に基づく表示装置のブロック図を示す。図13に示すように、当該表示装置では、画像を表示するための表示領域に走査線 $V_{s1} \sim V_{sN}$ （ N は走査線最大数）およびデータ線 $I_{data1} \sim I_{dataM}$ （ M はデータ線最大数）が格子状に配置され、それぞれの線の交差部分にEL素子を含む画素回路 P_{mn} （ $1 \leq m \leq M$, $1 \leq n \leq N$ ）が配置されている。走査回路により、
20 走査線 V_{sn} が順番に選択され、D/A変換器から、中間階調値に応じたデータ信号が各データ線 I_{datam} に供給される。

しかしながら、表示装置において、低階調のデータ信号を書き込みには時間にかかり、書き込み不足等の問題が生ずることがある。

- 25 特に、電流プログラム方式と呼ばれる、階調に応じた電流レベルを有するデータ信号を供給する方式では、上記の問題が顕著となる。まず、データ線に供給するプログラム電流の値は画素（ドット）で表示される階調に対応しているため、低階調の画像に対してはデータ線を流れる電流が極めて少なくなる。電流値が小さいとデータ線の寄生容量を充放電するために時間がかかるようになるため、画

素回路に所定の電流値をプログラムするまでの時間が長くなって、所定の書き込み期間（一般には1水平走査期間）内に書き込みを完了することが難しくなる。この結果、EL素子の発光効率が上昇するに従い、プログラム電流は益々少なくなり、正確な電流値を画素回路にプログラムできなくなる場合が生じていた。

- 5 また、低階調表示領域における電流値は数10nA以下とトランジスタのリーク電流に近い値となる。このため、リーク電流がプログラム電流に与える影響が無視できなくなってS/N比が低下し、表示装置の低階調表示領域における鮮明さが悪化していた。

- 10 さらにディスプレイの解像度が上がるほどに、データ線の数が多くなり、画素マトリックス基板と外付けのドライバ・コントローラとの接続本数の増大、接続ピッチの縮小のため、画素マトリックス基板と接続が難しくなり、表示装置の製造コストが上昇していた。

[発明の開示]

- 15 上記した課題を解決するために、本発明は、低階調表示領域においても鮮明に正確な明るさで画像表示でき、しかもコストアップを防止することが可能な電子装置、電子機器、および電子装置の駆動方法を提供することを目的とする。

- 20 本発明は、電子素子を備える単位回路と、単位回路に接続されたデータ線と、外部から供給されたデータ信号に対応した電流または電圧を第1の出力として出力するための第1出力手段と、前記第1の出力の大小あるいはレベルに対応した第2の出力を出力するための第2出力手段と、第1出力手段からの第1の電流または第2出力手段からの第2の出力の一方または双方を選択してデータ線に供給するための選択供給手段と、を備える電子装置である。

- 25 ここで、選択供給手段は、少なくとも一つのスイッチング素子を備えていてもよい。このスイッチング素子は、第1の出力または第2の出力の一方または双方の出力を禁止または許可するものである。スイッチング素子の他に、加算回路などによって所定の書き込み期間内に選択供給手段の出力能力を可変とする機能を実現可能な構成を備えていてもよい。

また、データ線は、当該データ線を通る電流を受ける負荷手段を備えていてもよい。このとき、単位回路における定電流駆動能力と負荷手段における電流受容能力との比が、第1出力手段における電流供給能力と第2出力手段における電流供給能力との比と実質的に同等であるように設定することは好ましい。また、

5 負荷手段は、第2出力手段から見てデータ線の末端に設けられていることは好ましい。単位回路を介して出力手段と負荷手段が対峙する構成である。さらに負荷手段は、選択供給手段が第2出力手段からの第2の電流を選択しデータ線に供給している場合に、当該データ線を通る電流を受容するように構成されていることは好ましい。第2の電流が大電流である場合に単位回路に通る以外の電流を受容する手段である。

10

また、選択供給手段は、電子素子に出力を供給すべき出力期間の少なくとも終わりの所定期間は第1出力手段からの第1の出力のみを選択してデータ線に供給するように構成してもよい。

また、選択供給手段は、電子素子に出力を供給すべき出力期間の少なくとも初

15 めの所定期間は少なくとも第2出力手段からの第2の出力を選択してデータ線に供給するように構成してもよい。

ここで、第2出力手段は、第1の出力の有する出力値よりも大きな出力値を有する前記第2の出力を出力可能に構成されていることは好ましい。大きな電流で電流のプログラムを確実にでき、 S/N を向上させるために好ましい。

20 また、選択供給手段は、電子素子に出力を供給すべき出力期間の初めの所定期間は少なくとも第2出力手段からの第2の出力を選択してデータ線に供給し、当該出力期間の終わりの所定期間は少なくとも第1出力手段からの第1の出力を選択してデータ線に供給するように構成してもよい。

また、選択供給手段は、データ線のほぼ同一箇所において第1出力手段および

25 第2出力手段からの出力を供給することが可能に構成されている。

また、第2出力手段は、外部から供給されたデータ信号に対応した電流または電圧を前記第2の出力として出力するように構成してもよい。このように構成すれば、第2の出力の出力値もデータに基づいて任意の値に設定できるようになる。

ここで、第1出力手段、第2出力手段、および選択供給手段からなる出力供給手段が一のデータ線に対して複数設けられ、一の出力供給手段がデータ信号に基づく電流値または電圧値を記憶している間に、他の少なくとも一の出力供給手段がデータ線に出力を供給するように構成してもよい。

- 5 このとき、各出力供給手段は、複数の水平走査期間中における前後する二つの水平走査期間をデータ線に対する出力供給のための期間とし、残りの水平走査期間を単位回路の制御のための期間としてもよい。

- 10 さらにこの構成において、所定数の単位回路が一組を構成しており、水平走査期間を所定数で分割したサブ期間のそれぞれにおいて、各電子装置が各々対応するデータ信号に基づく電流値または電圧値を記憶するように構成されていてもよい。

- 15 また、一对の単位回路が一のデータ線に接続されており、各単位回路には、各電子素子の出力を制御するための一对の制御線のいずれか一方が接続されており、各制御線には互いに近接もしくは隣接した逆位相部を有する制御信号が供給可能に構成されていてもよい。近接もしくは隣接した逆位相部を有する制御信号によ
- 20 ってデータ線線方向に隣接する電子素子が視覚的に差のない短時間内で逆位相に駆動され、例えばパルス駆動の断続性を補償することが可能である。

- 20 ここで、例えば、制御線には、所定のデューティ比のパルスが連続的に出力可能に構成されている。デューティ比を変えることによって電子素子の駆動期間を変更することができる。

さらに一对の制御線は、隣接する単位回路毎に交差していてもよい。交差することによって、制御線方向に隣接する電子素子が視覚的に差のない短時間内で逆位相に駆動され、例えばパルス駆動の断続性を補償することが可能である。

- 25 ここで、所定数の単位回路が一組を構成しており、一对の制御線は、隣接する組の単位回路毎に交差していてもよい。所定数の単位回路単位の補償をする趣旨であり、例えば単位回路を画素回路とし、複数の原色によるカラー表示を複数原色の画素回路を組みとするカラー画素単位で行う場合である。

ここで、本発明の電子素子は、電流駆動素子であってもよい。さらに、本発明の電子素子は、電気光学素子であってもよい。

ここで、「電気光学素子」とは、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、EL素子、液晶素子、電気泳動素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子（FED）が含まれる。

ここで、上記電気光学素子は、電流駆動素子、例えばエレクトロルミネッセンス（EL）素子であることが好ましい。「エレクトロルミネッセンス素子」とは、その発光性物質が有機であるか無機であるか（Zn:Sなど）を問わず、電界の印加によって、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質を発光させるエレクトロルミネッセンス現象を利用したもの一般をいう。またエレクトロルミネッセンス素子は、その電極で挟まれる層構造として、発光性物質からなる発光層の他、正孔輸送層および電子輸送層のいずれかまたは双方を備えていてもよい。具体的には、層構造として、陰極／発光層／陽極の他、陰極／発光層／正孔輸送層／陽極、陰極／電子輸送層／発光層／陽極、または陰極／電子輸送層／発光層／正孔輸送層／陽極などの層構造を適用可能である。

また本発明は、本発明の電子装置を備えた電子機器でもある。ここで「電子機器」には限定が無いが、例えば、テレビ受像機、カーナビゲーション装置、POS、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、表示機能付きファックス装置、電子案内板、輸送車両等のインフォメーションパネル、ゲーム装置、工作機械の操作盤、電子ブック、およびデジタルカメラや携帯型TV、DSP装置、PDA、電子手帳、携帯電話、ビデオカメラ等の携帯機器等をいう。

本発明は、電子素子を備えた単位回路に出力を供給するための電子装置の駆動方法において、外部から供給されたデータ信号に対応した電流または電圧を第1の出力として出力するステップと、第1の出力の大小に対応した第2の出力を出力するステップと、第1の出力または第2の出力の一方または双方を選択して、単位回路が接続されたデータ線に供給するステップと、を備える電子装置の駆動方法である。

ここで、データ線に供給するステップでは、電子素子に出力を供給すべき出力期間の少なくとも終わりの所定期間は第1の出力のみを選択してデータ線に供給するようにしてもよい。

ここで、データ線に供給するステップでは、電子素子に出力を供給すべき出力
5 期間の少なくとも初めの所定期間は少なくとも第2の出力を選択してデータ線に供給するようにしてもよい。

ここで、第2の出力を出力するステップでは、第1の出力の有する出力値よりも大きな出力値を有する第2の出力を出力可能に構成されていてもよい。

ここで、データ線に供給するステップでは、電子素子に出力を供給すべき出力
10 期間の初めの所定期間は少なくとも第2の出力を選択してデータ線に供給し、当該出力期間の終わりの所定期間は少なくとも第1の出力を選択してデータ線に供給するようにしてもよい。

ここで、第2の出力を出力するステップでは、外部から供給されたデータ信号に対応した電流または電圧を第2の出力として出力するようにしてもよい。

15 ここで、第1の出力を出力するステップおよび第2の出力を出力するステップの少なくとも一方において、第1の出力または第2の出力を出力する前に、電流値または電圧値を記憶するステップを備えていてもよい。

ここで、第1の出力および第2の出力からなる出力供給組を一のデータ線に対して複数組出力可能な場合において、一の出力供給組が電流値または電圧値を記憶するステップを実行している間に、他の少なくとも一の出力供給組において、
20 データ線に出力するステップを実行する。

ここで、複数の水平走査期間中における前後する二つの水平走査期間において各ステップを実行し、残りの水平走査期間において実行される、単位回路を制御するステップを備えていてもよい。

25 ここで、電流値または電圧値を記憶するステップでは、水平走査期間を所定数で分割したサブ期間のそれぞれにおいて、各々対応するデータ信号に基づく電流値または電圧値を記憶するようにしてもよい。

本発明は、電子素子を備える一対の単位回路が一のデータ線に接続されており、各前記単位回路には、各前記電子素子の出力を所定のデューティ比で制御する一

対の制御線のいずれか一方が接続されており、各前記制御線には互いに近接もしくは隣接した逆位相部を有する制御信号が供給可能に構成されている、電子装置である。

- 5 本発明は、隣接する前記単位回路もしくは前記単位回路の組では、互いの能動期間が近接もしくは隣接した逆位相部を有するように所定のデューティ比で制御される、電子装置の駆動方法である。

[図面の簡単な説明]

図1は、本実施形態の電子機器のブロック図である。

- 10 図2は、実施形態1の電流ブーストの動作原理説明図である。

図3は、実施形態1の駆動回路の回路図である。

図4は、実施形態1の駆動回路におけるタイミングチャートである。

図5は、実施形態2の駆動回路の回路図である。

- 15 図6は、実施形態2のダブルバッファ式による電流ラッチ回路の動作原理説明図である。

図7は、実施形態2における電流ラッチ回路の構成例である。

図8は、実施形態2の駆動回路におけるタイミングチャートである。

図9は、実施形態3の駆動回路の回路図である。

図10は、実施形態3のパルス駆動における画素回路間の関係を示す図である。

- 20 図11は、実施形態3の駆動回路におけるタイミングチャートである。

図12は、実施形態4における電子機器の例である。

図13は、アクティブマトリックス駆動方式に基づく表示装置のブロック図である。

- 25 [符号の説明]

V_{sn} セレクト線

V_{gn} 発光制御線

I_{datam} データ線

P_{mn} 画素回路

P_mnC カラー画素

OELD 有機EL素子

L_m 電流ラッチ回路

B_m 電流ブースタ回路

5

[発明の実施の形態]

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。
以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

10

<実施形態1>

本発明の実施形態は、電気光学素子としてEL素子を利用した駆動回路を備える電気光学装置に関する。図1に当該電気光学装置を含む電子機器全体のブロック図を示す。

15

図1に示すように、当該電子機器はコンピュータにより所定の画像を表示する機能を有し、少なくとも表示回路1、駆動コントローラ2、およびコンピュータ装置3を備える。

20

コンピュータ装置3は汎用または専用のコンピュータ装置であって、各画素(ドット)に対して中間値で表される階調を表示させるためのデータ(階調表示データ)を駆動コントローラ2に出力するようになっている。カラー画像の場合には各原色を表示させるドットに対する中間階調が階調表示データで指定され、指定された各原色のドットの中間階調の合成が特定のカラー画素の色として表現される。

25

駆動コントローラ2は、例えばシリコン単結晶の基板上に形成され、少なくともD/A変換器21(本発明における第1および第2出力手段)、表示メモリ22、および制御回路23を備えている。制御回路23はコンピュータ装置3との階調表示データの送受信を制御する他、駆動コントローラ2の各ブロックおよび表示回路1に対する各種制御信号を出力可能になっている。表示メモリ22は、コンピュータ装置3から供給される画素ごとの階調表示データが画素(ドット)のアドレスに対応させて格納されるようになっている。D/A変換器21は、1

出力当たり大小二つの電流出力能力を有するD/A変換器(D/A a、D/A b)から構成され、表示メモリ22における各画素のアドレスから読み出されたデジタルデータである階調表示データを、対応する電流値に高精度に変換するようになっている。D/A変換器21は、データ線の数だけ(水平方向のドット数) I out を所定のタイミングで同時に出力できるようになっている。駆動回路2と表示回路1は本発明の電子装置を含んでいる。表示回路1と駆動コントローラ2との組み合わせは画像の表示機能を備え、コンピュータ装置3の有無を含めて本発明の電子機器に相当する。

表示回路1は、例えば低温ポリシリコンTFTや α -TFTで構成され、画像を表示する表示領域10に、水平方向にセレクト線 V_{sn} ($1 \leq n \leq N$ (Nは走査線数))、垂直方向にデータ線 I_{outm} ($1 \leq m \leq M$ (Mはデータ線数(列数)))を配置して構成されている。セレクト線 V_{sn} とデータ線 I_{outm} との各交点には画素回路 P_{mn} が配置されている。さらに表示回路1は、いずれかのセレクト線を選択するための走査回路11および12と、データ線を駆動する電流ブースタ回路Bを備えている。さらに、セレクト線に対応させて各画素回路 P_{mn} における発光を制御するための発光制御線 V_{gn} (図示しない) およびデータ線に対応させて各画素回路に電源を供給するための電源線(図示しない)が表示領域10に配置されている。発光制御線は本発明の制御線に対応している。走査回路11および12は制御回路23からの制御信号に対応させていずれかのセレクト線 V_{sn} を選択し、合わせて発光制御線 V_{gn} に発光制御信号を出力可能になっている。電流ブースタ回路Bは本発明の負荷手段に対応するもので、データ線 I_{outm} に対応した電流ブースタ回路 B_m を備えている。電流ブースタ回路Bは、D/A変換器21から見てデータ線の反対側に設けられるのが、好適な作用効果を生ずるが、電流ブースタ回路Bの総駆動能力を変えないようにしてデータ線上に分散配置するように構成してもよい。

上記構成において、表示メモリ22から読み出された各画素の階調表示データはD/A変換器21において対応する電流値に変換される。走査回路11および12によっていずれかのセレクト線 V_{sn} が選択されると、そのセレクト線に接続

されている画素回路 P_{xn} ($1 \leq x \leq M$) に対し各データ線 I_{outx} に出力されているプログラム電流が書き込まれるようになっている。

次に、図 2 に基づいて本発明の実施形態 1 の基本的な動作を説明する。図 2 は、マトリクス状に配置されたドット（画素）において、データ線に対応してセレクト線 V_{sn} で選択される画素回路 P_{mn} 、およびそれに電流を供給する定電流出力手段 C_{Im} と電流ブースタ回路 B_m を図示したものである。定電流出力回路 C_{Im} は、第 1 および第 2 定電流出力回路 $D/A_a \cdot D/A_b$ とからなる 2 つの D/A 変換器を備え、プログラム電流（第 1 定電流出力回路 D/A_a が出力する）より大きなブースト電流（第 2 定電流出力回路 D/A_b が出力する）または前記プログラム電流のいずれか一方または双方を選択的に供給可能に構成されている。ブースト電流はプログラム電流の、例えば数倍以上、望ましくは数十倍以上とすることができる。

図 2 に示すように、本実施形態において、制御回路は、画素回路 P_{mn} に対してプログラム電流を供給するための電流プログラム期間の前期において少なくともブースト電流を供給させ、当該電流プログラム期間の後期においてプログラム電流を供給させる。具体的には、電流プログラム期間の前半において、選択供給手段を供給する第 1 スイッチング素子 S_{wa} は非導通とし、第 2 スイッチング素子 S_{wb} は導通させ、また電流ブースタ回路 B_m を動作させて第 2 定電流出力回路 D/A_b によって生成されたブースト電流をデータ線 I_{outm} に供給する。このとき、第 1 定電流出力回路 D/A_a と第 2 定電流出力回路 D/A_b との定電流出力能力の比を、画素回路 P_{mn} と電流ブースタ回路 B_m との電流受容能力の比と同等にしておけば、データ線の電圧が出力電流値とデータ線の寄生容量値とに応じた時間で変化し、プログラム電流を供給した場合に本来達すべき電圧値の近くで安定する。この時点で第 2 スイッチング素子 S_{wb} を遮断し、第 1 スイッチング素子 S_{wa} は導通させて、第 1 定電流出力回路 D/A_a によって高精度に生成されたプログラム電流をデータ線 I_{outm} に供給する。この動作によって、画素回路を負荷として第 1 定電流出力回路 D/A_a がプログラム電流を供給したときに到達する画素回路内のトランジスタ T_1 （図 3）のゲート・ソース間電圧 V_{gs} に早く正確に到達できることになる。

このように本発明では、電流プログラム期間の前期においては、プログラム電流の数倍以上のプログラム電流に比例した大きな電流を供給することにより、プログラム電流のみを供給する場合や一定時間データ線にプリチャージする方法よりもデータ線 I_{outm} の電圧を早期に所定の電圧付近に到達させることができる。

- 5 さらに電流プログラム期間の後期においては、電流ブースタ回路をオフすると共にシリコン駆動コントローラ 2 で高精度に生成された本来のプログラム電流のみを画素回路に供給して、正確なプログラム電流値を最終的にプログラムさせることができる。

- 10 なお、本実施形態においては、前期においてブースト電流のみを流すようにしているが、プログラム電流がブースト電流に比べ小さいことに鑑み、ブースト電流を供給する期間においても同時にプログラム電流を供給するようにし、画素回路をデータ線に接続させないようにしてもよい。

- 図 3 に、さらに具体的な駆動回路の構成を示す。図 3 は、マトリクス状に配置された一つの画素回路 P_{mn} およびその画素回路に階調表示データに対応する電流を供給する定電流出力回路 C_{Im} および電流ブースタ回路 B_m を示している。

画素回路 P_{mn} は、データ線から供給されたプログラム電流の電流値を保持し保持された電流値で電気光学素子を駆動する回路、すなわち EL 素子を発光させるための電流プログラム方式に対応した回路を備えている。

- 20 画素回路は、アナログ電流メモリ (T_1 、 T_2 、 C_1) と、EL 素子 OELD と、アナログ電流メモリとデータ線との接続を行うスイッチングトランジスタ T_3 と、アナログ電流メモリと EL 素子との接続を行うスイッチングトランジスタ T_4 と、が図 3 に示すように接続されて構成される。

- この画素回路の構成において、電流プログラム期間にセレクト線 V_{sn} が選択されるとトランジスタ T_2 および T_3 が導通状態になる。トランジスタ T_2 および T_3 が導通状態になると、トランジスタ T_1 がプログラム電流に応じた時間後に定常状態に達し、コンデンサ C_1 に I_{outm} に応じた電圧 V_{gs} が記憶される。表示期間（発光期間）では、セレクト線 V_{sn} を非選択状態としてトランジスタ T_2 および T_3 を遮断状態にし一旦データ線上の定電流を遮断した後、発光制御線 V_{gn} を選択する。この結果トランジスタ T_4 が導通状態となり、コンデンサ C_1 に記憶

された電圧 V_{gs} に対応する定電流 I_{out} がトランジスタ T_1 および T_4 経由で有機EL素子に供給され、当該プログラム電流に対応した階調の輝度で有機EL素子OLEDが発光する。

なお図3に示した画素回路は一例であり、電流プログラムが可能なものであれば他の回路構成を適用することが可能である。

定電流出力回路 C_{Im} は、第1電流出力回路 D/A_a と第2電流出力回路 D/A_b からなる一対の D/A 変換器を備え、プログラム電流より大きなブースト電流またはプログラム電流のいずれか一方または双方を選択的に供給可能に構成されている。具体的には、プログラム電流を供給するための第1電流出力回路 D/A_a と、ブースト電流を供給するための第2電流出力回路 D/A_b と、が並列にデータ線 I_{outm} に接続されて構成されている。第1電流出力回路 D/A_a と第2電流出力回路 D/A_b との電流駆動能力の比は、画素回路中のトランジスタ T_1 と電流ブースト回路中の T_{33} との電流駆動能力の比と同等になるように設定されていることが好ましい。このときトランジスタ T_1 と T_{33} は、トランジスタ T_2 と T_{31} により飽和領域動作をするように設定されている。この電流駆動能力比を同等にすることにより、電流ブースタ回路を負荷手段として第2電流出力回路 D/A_b がブースト電流をデータ線に供給したときに到達するデータ線電圧が、画素回路を負荷として第1電流出力回路 D/A_a がプログラム電流を供給したときに到達するトランジスタ T_1 のゲート・ソース間電圧 V_{gs} とほぼ等しい値にすることができる。電流ブースタ回路は、ドット面積の制約を受けずに大きなトランジスタサイズとすることができるので、ブースト電流は、すべての階調においてプログラム電流の数倍から数十倍以上の値とすることができる。この結果、プログラム電流が微小となる低階調領域においてもデータ線の電圧やトランジスタ T_1 のゲート・ソース間電圧 V_{gs} を所定の値に早く変化させることができる。

電流ブースタB中の電流ブースタ回路 B_m は、 D/A 変換器21中の定電流出力回路 C_{Im} と協働してブースト電流をデータ線に流すための構成を備えている。具体的には、トランジスタ $T_{31} \sim T_{33}$ を備えている。トランジスタ T_{33} がブースタトランジスタであり、トランジスタ T_{31} がブースタイネーブル信号 BE に応じてブースタトランジスタ T_{33} を定電流領域で導通させるスイッチ素子で

ある。トランジスタ 3 2 はチャージオフ信号が供給された場合にブースタトランジスタ T 3 3 のゲートに蓄えられた電荷を強制的に放電させブースタトランジスタ T 3 3 を完全に遮断状態とするものである。ブースタトランジスタ T 3 3 の電流出力能力と画素回路のトランジスタ T 1 の電流出力能力との比は、上述したように第 2 電流出力回路 D/A b の電流出力能力と第 1 電流出力回路 D/A a の電流出力能力との比と同等にしておくことが好ましい。

この構成において、それぞれの表示メモリ出力 Mdata には、一走査期間毎に対応するドット（画素）の階調表示データが、一水平ライン分同時に表示メモリ 2 から出力される。この階調表示データを 2 つの電流出力回路 D/A a と D/A b とが受け、共通の基準電流源（図示せず）を基にしてプログラム電流とブースト電流を生成する。書き込みイネーブル信号 WE a もしくは WE b が供給されるとトランジスタ T I a または T I b が導通状態になり、各電流出力変換回路からプログラム電流もしくは同時にブースト電流がデータ線に出力される。

次に、図 4 のタイミングチャートを参照して図 3 に示す本実施形態 1 の詳細な動作を説明する。図 4 のタイミングチャートは、走査線 n について、画像表示のためのフレーム期間を構成する複数の水平走査期間のうち、電流プログラムを行うための一つの水平走査期間 H を中心に示したものである。この 1 H の期間が電流プログラム期間に相当している。この電流プログラム期間では、制御回路は発光制御線 V gn を非選択状態として有機 EL 素子 O E L D の発光を停止させておく。表示メモリ出力線 Mdata には各画素に対応する階調表示データが一走査期間毎に出力されている。

さて、時刻 t 1 において、表示メモリ出力線 Mdata m は画素 P m (n-1) に関する階調表示データ D m (n-1) を送出すると、D/A 変換器（電流出力回路）がこれを受けて対応するプログラム電流とブースト電流を生成する。

時刻 t 2 からは走査線 n に対する電流プログラム期間の前期が開始する。制御回路は書き込みイネーブル信号 WE b を時刻 t 2 の後に許可状態にする。これにより、第 2 電流出力回路 D/A b からはブースト電流が出力されてデータ線 I out m に出力される。走査線 n における総ての画素について同時にこの書き込みイネーブル信号が供給されるので、各画素のデータ線 I out m にはそれぞれの電流が

出力される。このブースト電流によって表示階調の小さな場合でも、すなわち目標電流値が小さくプログラムに時間が要する場合であっても短時間に目標電流値の近傍までデータ線の電圧を到達させることができる。時刻 t_3 でブースト期間が終了すると、制御回路はブースト電流に関する書き込みイネーブル信号 WE_b を非許可状態にして、第2電流出力回路 D/A_b からのブースト電流の供給を停止させる。そして、イネーブル信号 WE_a を許可状態にすると同時にセレクト線 V_{sn} を選択状態にして、残りの電流プログラム期間の後期（時刻 $t_3 \sim t_4$ ）の間、プログラム電流のみで画素回路 P_{mn} への電流供給が行われるようにする。これによって最終的な目標電流値を正確にプログラムすることができる。

- 10 時刻 t_4 で電流プログラム期間が終了すると、制御回路はセレクト線を非選択状態にすると同時に発光制御線 V_{gn} を選択状態にして、画素回路 P_{mn} の有機EL素子 $OELD$ に電流を流し表示期間に移行させる。このとき、画素回路 P_{mn} には新たな電流値によるプログラムが完了しているので、新しい電流値でEL素子 $OELD$ に電流が供給され、それに対応した新たな輝度で有機EL素子 $OELD$ が
- 15 発光する。その結果、輝度の違いによって画素 P_{mn} の階調が表示されることになる。

- 以上、本実施形態1によれば、プログラム電流の小さな低階調表示領域においても、プログラム電流値よりも大きなブースト電流を使用するので書き込み時間の不足やノイズの影響を排除し、再現性のよい鮮明な画像を表示させることができる。
- 20

- なお、本実施形態1の方法を用いれば、高速にプログラム電流を画素回路に書き込むことができるので、例えば、 D/A 変換器と画素回路の間に本発明の駆動回路方式を取り入れた電流ラッチを設けることによって、複数の画素に対応するプログラム電流を時分割多重して書き込むことが可能となる。これによって図1
- 25 に示す駆動コントローラ2と表示回路1を接続するデータ線の数的大幅に削減することができる。これを示したものが次に示す本発明の実施形態2である。

<実施形態2>

本発明の実施形態2は、上述したように、実施形態1に示したような電子装置および電子機器において、さらに発展させた態様を備えるものである。

図5に本実施形態2における具体的な電子装置の構成を、図8にその動作を説明するタイミングチャートを示す。図5は、色表示を行う一つのカラー画素 P_{mnC} と、そのカラー画素に電流を供給する電流ラッチ回路 L_m と、D/A変換器 C_{Im} と、電流ブースタ回路 B_m とを示している。各画素回路、電流ブースタ回路、および定電流出力回路（D/A変換器） C_{Im} のブロック（破線で示す）は実施形態1と同様であるので説明を簡単にする。また、図7に、電流ラッチ回路 L_m の回路例を示す。

本実施形態では以下の点において実施形態1の構成と異なる。まず、電流ラッチ回路 L_m が、新たにD/A変換器 C_{Im} と画素回路 P_{mn} との間に設けられている。すなわち、本発明の駆動方法により動作する電子装置が、D/A変換器 C_{Im} 、電流ラッチ回路 L_m 、画素回路 P_{mnC} 、および電流ブースタ回路 B_m とにより構成されている。

電流ラッチ回路 L_m は、D/A変換器 C_{Im} と協働するブースタ電流供給手段としての機能と、D/A変換器 C_{Im} が出力する定電流をラッチして出力する機能とを有している。また電流ラッチ回路 L_m には、D/A変換器 C_{Im} と電流ラッチ L_m との間において時分割多重してシリアル化されて伝送された、最終的なプログラム電流に対応する電気信号をパラレルに変換して電流出力する機能と、画素回路に電流プログラムする時間を最大限確保するためのダブルバッファ機能と、を備えている。特に、本実施形態2では、カラー表示のための三原色、R（赤）、G（緑）、B（青）の階調表示データを一単位として扱う例を示す。ただし、本発明はこれに限定されるものではない。

カラー画素 P_{mnC} は、原色数の画素回路で構成される。ここではR（赤）、G（緑）、B（青）にそれぞれ対応した画素回路 P_{mnR} 、 P_{mnG} 、および P_{mnB} によって一つのカラー画素 P_{mnC} が構成されている。各画素回路は同一の回路構成を備え、本発明の実施形態1で示したようにデータ線から供給されたプログラム電流の電流値を保持し保持された電流値で電気光学素子、すなわちEL素子を発光させる電流プログラム方式に対応した回路を備えている。

電流ブースタ回路 $B_{mR, G, B}$ は、実施形態1で示した回路と同等な同一の回路構成を備え、電流ラッチ回路 L_m と協働してブースト電流をデータ線に流すための

構成を備えている。ブーストトランジスタT33の電流出力能力と画素回路のトランジスタT1の電流出力能力との比は、電流ラッチ回路Lmのブースト電流出力トランジスタT20の電流出力能力とプログラム電流出力トランジスタT10の電流出力能力との比と同等にしておくことが好ましい。

- 5 以上、本実施形態2の電子装置の構成において、図示しない表示メモリ（図1参照）から一水平期間を3つの期間に分けて各表示メモリ出力線MdatamにR、G、Bの階調表示データが時分割して出力されてくる。D/A変換器CImでは、この階調表示データを2つのD/A変換器である第1電流出力回路D/Aaと第2電流出力回路D/Abとが受け、共通の基準電流源（図示せず）を基にしてプログラム電流とブースト電流を生成する。各時分割期間毎に書き込みイネーブル信号WEaまたはWEbが供給されると、D/A変換器CImでは、図3で説明したように、トランジスタT10またはT20が導通状態になり、各電流出力回路からプログラム電流もしくはブースト電流がアナログ表示データとしてシリアルデータ線Sdatamに出力される。それぞれのシリアルデータ線Sdatamには、実施
- 10 形態1と同様に、時分割された期間の前半はブースト電流が電流ラッチLmに供給される。期間の後半では、プログラム電流のみが供給され正確な電流値が電流ラッチLmに一時保持される。これによってプログラム電流を早く正確に駆動コントローラ2から表示回路1に伝送するとともに接続端子数を任意の時分割多重度（ここでは、1/3）に比例して減らすことが可能となる。
- 15 ここで、本実施形態2における電流ラッチ回路Lmにおけるダブルバッファ構造を詳しく説明する。図6に基づいて、本実施形態におけるダブルバッファの動作原理を説明する。電流ラッチ回路Lmは、一つのデータ線Ioutmに対して二つ相似の回路が電流出力可能に配置されたダブルバッファ構造を備えている。電流ラッチ回路は、一のデータ線に対応して一対が設けられている。すなわち、データ線Ioutmに対しては電流ラッチ回路グループLmxとLmyとが並列に接続されて
- 20 いる。ちなみに図5では、電流ラッチ回路グループLmxは電流ラッチ回路LmRx、LmGxおよびLmBxにより、電流ラッチ回路グループLmyは電流ラッチ回路LmRy、LmGyおよびLmByから構成されている。それぞれの電流ラッチ回路グループのペアとなるLmxとLmyとは同じシリアルデータ線Sdatamに接続され
- 25

ているが、異なるタイミングでイネーブルされるラッチイネーブル信号 LE_x および LE_y によってシリアルデータ線に出力されているアナログデータをラッチ可能に構成されている。同一電流ラッチ回路グループ内であっても、異なる画素の電流ラッチ回路（例えば、 L_{mRx} と $L_{(m+1)Rx}$ ）は、異なるシリアルデータ線 S data に接続されている。制御回路 23（図 1 参照）は、それぞれの書き込み許可信号 WE およびラッチイネーブル信号 LE のタイミングを調整して、一方のラッチ回路グループが前記入力アナログデータをラッチしている間に、他方のラッチ回路グループがデータ線 I_{out} にプログラム電流を出力させるように制御する。

すなわち、図 6 の第一走査期間においては、書き込み許可信号 WE_x が非許可状態とされラッチイネーブル信号 LE_x が許可状態とされるため、電流ラッチ回路グループ L_{mx} はシリアルデータ S_{data} のアナログデータをラッチする。一方この第一走査期間においては、書き込み許可信号 WE_y が許可状態とされラッチイネーブル信号 LE_y が非許可状態とされるため、電流ラッチ回路グループ L_{my} はデータのラッチを禁止する一方、内部にラッチされていたアナログデータに対応する電流値をデータ線 I_{outmA} 、 I_{outmB} に出力する。続く第二走査期間においては、このラッチと電流出力との関係を双方の電流ラッチ回路グループ間で逆転させる。この操作の繰り返しにより、ひとつの画素に対する電流プログラム時間を一走査期間分確保できるので、スイッチングスピードの遅い TFT 回路においても本発明のプースタ方式の画素回路プログラムを有効に機能させることが可能となる。

次に、図 8 のタイミングチャートおよび図 7 を参照して図 5 に示す本実施形態 2 の詳細な動作を説明する。図 8 のタイミングチャートは、走査線 n について、画像表示のためのフレーム期間を構成する複数の水平走査期間 H のうち、アナログ表示データの伝送と電流プログラムとを行うための二つの水平走査期間 ($2H$) を中心に示したものである。この $2H$ の期間の後半の $1H$ が電流プログラム期間に相当している。本実施例では、この電流プログラム期間では、制御回路は発光制御線 V_{gn} を非選択状態として有機 EL 素子 OLED の発光を停止させておく。

シリアルデータ線 S datam には、各原色の階調に対応するアナログ表示データが時分割出力されている。ラッチ処理をする前記 2H の前半の期間（時刻 $t_1 \sim t_4$ ）はシリアルデータ線の多重度（ここでは原色数 3）で時分割されている。時分割された各期間において、それぞれの原色に対応するデータをラッチさせるように、制御回路はラッチイネーブル信号を出力する。

すなわち、時刻 t_1 においてシリアルデータ線 S datam に赤色に関するアナログ表示データが送出されると、ラッチイネーブル信号 L ERb が許可状態になる。これにより電流ラッチ回路グループ Lmx 内の LmRx におけるトランジスタ T 2 1 と T 2 2 が導通し、シリアルデータ線 S datam からアナログ表示データ DmnR のブースト電流がトランジスタ T 2 0 に流れる。ラッチイネーブル信号 L ERb が非許可状態になるとそのときのトランジスタ T 2 0 のゲート・ソース電圧がコンデンサ C 3 に保持される。この後、ラッチイネーブル信号 L ERa が許可状態になるとともに、シリアルデータ線 S datam がアナログ表示データ DmnR のプログラム電流に切り替わる。ラッチイネーブル信号 L ERa が非許可状態になる時点 t_2 で、より正確なプログラム電流をトランジスタ T 1 0 が供給するためのゲート・ソース電圧がコンデンサ C 2 に保持される。赤色に対応した電流のラッチが終了すると、同様に時刻 t_2 から緑色 DmnG に対応した電流のラッチが、時刻 t_3 から青色 DmnB に対応した電流のラッチが行われる。三原色のラッチが終了すると、電流プログラム期間の前期が終了する。一方、電流ラッチ回路 LmRy、LmGy、LmBy は時刻 t_1 から t_4 までの間、書き込みイネーブル信号 WEby と WEay とが相前後して許可状態となり、それぞれデータ線 I outR、I outG、I outB にアナログ表示データ I outm(n-1)R、I outm(n-1)G、I outm(n-1)B を供給する。

次に時刻 t_4 からは、電流ラッチ回路グループ Lmx から画素回路 PmnC への電流プログラム期間が開始する。制御回路は書き込みイネーブル信号 WEbx を時刻 t_4 の後に許可状態にする。これによりトランジスタ T 2 0 から時刻 t_6 の手前までブースト電流が出力されてデータ線 I outm に出力される。時刻 t_4 では総ての原色に関する電流値のラッチが終わっており、総ての原色について同時にこの書き込みイネーブル信号が供給されるので、各原色のデータ線 I outmR、G、B にはそれぞれの電流が出力される。このブースト電流によって表示階調の小さな場合

でも、すなわち目標電流値が小さくプログラムに時間が要する場合であっても短時間に目標電流値の近傍までトランジスタT1のゲート電圧を到達させることができる。時刻t6の手前でブースト期間が終了すると、制御回路はブースト電流に関する書き込みイネーブル信号WEbxを非許可状態にして、トランジスタT20からのブースト電流の供給を停止させる。制御回路は、その後書き込みイネーブル信号WEaxが許可状態になると同時にセレクト線Vsnを選択し、画素回路への電流書き込みを許可状態にする。残りの電流プログラム後期の期間(t6-t7)は、プログラム電流のみで画素回路PmnCへの電流供給が行われる。これによって最終的な目標電流値を正確にプログラムすることができる。

- 10 ちなみに電流ラッチ回路グループLmyについては、以上述べた電流ラッチ回路グループLmxと同様の動作が一走査期間ずれたタイミングでプログラム電流のラッチと書き込みが行われる。

- 15 時刻t7で電流プログラム期間が終了したら、制御回路は発光制御線Vgnを選択状態にして画素回路Pmnの有機EL素子OLEDに電流を流し表示期間に移行させる。このとき、各原色の画素回路PmnR,G,Bには対応するデータ線からの新たな電流値によるプログラムが完了しているので、新しい電流値で電流が供給され、それに対応する新たな輝度で対応する色の有機EL素子OLEDが発光する。その結果、異なる三原色の輝度の違いによってカラー画素PmnCの発光色が変化し新たな色で発光させることができる。

- 20 以上により本実施形態によれば、駆動コントローラ2と表示回路1を接続するデータ線の数的大幅に削減でき、またドットピッチを数分の1以下の低密度で接続ができるので、製造コスト削減や高信頼化ならびに接続ピッチに制約されないディスプレイの高精細化が可能となる。

<実施形態3>

- 25 本発明の実施形態3は、本発明の目的である階調(輝度)調整範囲を拡大するために実施形態2に加え、さらに発展した態様を備えるものである。特に、本実施形態3においては、有機EL素子が μ secオーダーの高速スイッチングが可能であることに着目し、実施形態1および2で示した画素回路の発光制御線Vgnを利用して有機EL素子をパルス駆動することを特徴とするものである。

図 9 に本実施形態 3 における駆動回路のブロック図を、図 10 に本実施形態 3 の原理説明図を、図 11 に本実施形態 3 における駆動回路のタイミングチャートを示す。図 9、11 において、実施形態 2 と異なる部分は、画素回路の発光制御線 V_{gn} と $V_{g(n-1)}$ の制御方法と画素回路への結線である。図 9 では、隣接する二つの走査線 n と $n-1$ との間で発光制御線 V_{gn} と $V_{g(n-1)}$ とがカラー画素ごとに交差している。水平および垂直方向に隣接しているカラー画素は異なる発光制御線によって発光期間が制御されるようになっている。この隣接する発光制御線 V_{gn} と $V_{g(n-1)}$ との間では、表示期間中に互いに発光期間が近接もしくは隣接したパルス発光制御信号が供給されるようになっている。パルス発光制御信号のパルス数は、1 フレーム期間に複数あるのが好ましいが、単パルスであってもよい。その他の回路構成や動作については、実施形態 2 と同一であるので、説明を省略する。

本実施形態 3 は、次の動作原理上の特徴を備える。図 10 に基づいて、本実施形態における発光のパルス制御についての動作原理を説明する。本実施形態において、制御回路 23 (図 1 参照) は、表示期間中、それぞれの発光制御線に互いに近接もしくは隣接した逆位相部を有するパルス (発光制御信号) を供給するようになっている。このような構成により、垂直 (列) 方向に隣接する画素 P_{xn} と $P_{x(n-1)}$ との間では、供給されるパルスが近接もしくは隣接した逆の位相部を有するようになっている。また、この一对の走査線に対応する一对の発光制御線 V_{gn} と $V_{g(n+1)}$ とが隣接するカラー画素毎に交差している。このような構成により、水平 (行) 方向に隣接するカラー画素 P_{mnC} と $P_{(m+1)nC}$ との間でも供給されるパルスが近接もしくは隣接した逆の位相部を有するようになっている。このため、発光制御線によって有機 EL 素子をフレーム周波数近くまで点滅させても明るさの変動領域が市松模様になって明るさの変動を隣接する画素が補い合うので、フリッカや擬似輪郭等の副作用現象の発生を防止できる。また画素のオンオフによる画素電源電圧の変動を相殺し、表示の均一性劣化を低減することができる。

本実施形態では、制御回路は、表示期間中、発光制御線に所定のデューティ比のパルスを連続的に出力するように制御する。この場合、前述したようなフリッカ防止対策が採られているため、それぞれの発光制御線 V_{gn} に出力されるパルス

- の周波数を変えてもフリッカが生じないのである。さらにデューティ比（パルス幅）を変えることによって、画素の明るさを調節することができる。画素の明るさが低い低階調表示領域では、プログラムする電流値が少なくなるためS/Nが低下し、鮮明でない画像が表示される場合があるが、本実施形態の構成によれば、
- 5 パルス周波数やデューティ比によって明るさを落とすことが可能となる。このことはプログラム電流値を変えずに発光制御線のパルス周波数やデューティ比を変えることによって、表示画面全体の明るさを調節できることを意味する。したがって、低階調表示領域および低輝度領域であってもプログラム電流を小さくしなくて済むので高いS/N比で鮮明な画像表示が行えるようになるのである。
- 10 この構成は、実施形態1、2のブーストプログラム方式と独立して利用してもよいが、併用することによって単独利用より広い階調（輝度）調整範囲を得ることができる。

- 次に、図11のタイミングチャートを参照して図9に示す本実施形態3の詳細な動作を説明する。図11のタイミングチャートは、走査線nとn-1とについて、
- 15 画像表示のためのフレーム期間を構成する複数の水平走査期間のうち、電流プログラムを行うための二つの水平走査期間Hを中心に示したものである。

- 図11に例示されるように、パルス駆動の周期は、数 μ sからフレーム周期の数分の1まで表示要求に応じて好適に設定される。これによって画素の平均輝度が下がるので、同一の輝度（階調度）を得るのにパルス駆動しない場合に比べて
- 20 プログラム電流値を大きくすることができ好ましい。

- 電流ラッチ回路LmxとLmyのそれぞれにおいて、この2Hの期間のいずれか一方がラッチ処理期間となり、他方が電流プログラムのためにラッチされた電流をデータ線に出力する期間となる。この2Hのラッチ処理期間および電流出力期間（電流プログラム期間）では、制御回路は発光制御線Vgnを非選択状態として有
- 25 機EL素子OLEDの発光を停止させておく。ただし厳密に発光を停止させなければならない期間は画素回路に対して電流が供給される電流プログラム期間であり、電流ラッチ回路に対するラッチ処理は平行して画素回路における発光処理を継続してもよい。このため、制御回路は走査線ごとに発光制御信号により発光を停止させる期間を異ならせてもよい。電流プログラム期間が終了したら、制御回

路は発光制御線 V_{gn} を選択状態にして画素回路 P_{mn} の有機EL素子OELDに電流を流す。

- 本実施形態3によれば、発光制御線 V_{gn} と $V_{g(n-1)}$ との間で出力されている発光制御信号のパルスの位相が逆転している。このため、垂直方向の画素間 ($P_{mn}C$ と $P_{m(n-1)}C$) 間でフリッカが発生しない。また、発光制御線 V_{gn} と $V_{g(n-1)}$ とがカラー画素ごとに交差しているので、水平方向の画素間 ($P_{mn}C$ と $P_{(m+1)n}C$) 間でもフリッカが発生しない。さらに発光制御信号のパルス周波数やデューティを変更することで、表示領域の明るさを制御することが可能である。

<実施形態4>

- 10 本実施形態は、上記実施形態で説明した電子装置において、電子素子に電気光学素子を用いて構成された電気光学装置を備える電子機器に関する。

図12に、本発明の電子装置を備える電気光学装置1を適用可能な電子機器の例を挙げる。

- 図12(a)は携帯電話への適用例であり、当該携帯電話30は、アンテナ部
15 31、音声出力部32、音声入力部33、操作部34、および電気光学装置1を備えている。このように本電気光学装置は携帯電話の表示部として利用可能である。

- 図12(b)はビデオカメラへの適用例であり、当該ビデオカメラ40は、受像部41、操作部42、音声入力部43、および本電気光学装置1を備えている。
20 このように本電気光学装置は、ファインダーやビデオカメラの表示部として利用可能である。

- 図12(c)は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ50は、カメラ部51、操作部52、および本電気光学装置1を備えている。このように本電気光学装置は、コンピュータ装置の表示部として利用可能で
25 ある。

図12(d)はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ60は、バンド61、光学系収納部62および本電気光学装置1を備えている。このように本電気光学装置はヘッドマウントディスプレイにおける画像表示源として利用可能である。

図12(e)はリア型プロジェクターへの適用例であり、当該プロジェクター70は、筐体71に、光源72、合成光学系73、ミラー74・75ミラー、スクリーン76、および本電気光学装置1を備えている。このように本電気光学装置はリア型プロジェクターの画像表示源として利用可能である。

- 5 図12(f)はフロント型プロジェクターへの適用例であり、当該プロジェクター80は、筐体82に光学系81および本電気光学装置1を備え、画像をスクリーン83に表示可能になっている。このように本電気光学装置はフロント型プロジェクターの画像表示源として利用可能である。

- 上記例に限らず本発明の電子装置を備えた電気光学装置は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、テレビ受像機、カーナビゲーション装置、POS、パーソナルコンピュータ、表示機能付きファックス装置、電子案内板、輸送車両等のインフォメーションパネル、ゲーム装置、工作機械の操作盤、電子ブック、および携帯型TV、携帯電話等の携帯機器等にも活用することができる。

- 15 <その他の変形例>

本発明は、上記各実施形態に限定されることなく、種々に変更して実施することが可能である。

- 例えば、上記実施形態1乃至3では、表示の階調度に対応して第2の出力手段であるブースト電流供給回路の出力能力を変えていたが、階調度を大括りに高中低等の複数の範囲に分けて、これに応じて第2の出力手段の出力能力を切り替えるように構成しても、本発明の目的を達成することができる。この場合、第2の出力手段は、予め想定されるデータ線の到達電圧の中心値を出力するようにしてもよい。このように構成した場合には、電流ブースタ回路を不要とすることができる。さらに、第2の出力手段は、電圧出力型のD/A変換器として、電流プログラム期間の前期には第2の出力手段を動作させてデータ線の電圧を目標到達電圧近傍に持っていく、電流プログラム期間の後期には第1の出力手段により正確にプログラムするように構成することが好ましい。

また図3で示されるブーストトランジスタT33と同一と同一のタイミングで動作するトランスファスイッチ回路を、ブーストトランジスタT33が形成され

ている同一のアクティブ基板上でしかも選択供給手段とデータ線との間に設けて、第1の出力と第2の出力をタイミング精度よく切り替えるようにしてもよい。

本発明によれば、少なくとも以下に述べるような利点がある。

本発明によれば、第1の出力または第2の出力の一方または双方を選択して出力可能に構成したので、駆動回路の目的に応じて、本来必要な第1の出力に代えてまたはそれに加えて第2の出力を補助的に供給することができる。例えば、電流プログラムを要する表示装置に本発明を適用する場合、プログラム電流の小さな低階調表示領域においても、プログラム電流値よりも大きなブースト電流を補助的に使用してノイズの影響を排除し鮮明な画像を表示させることができる。また、この大きな電流によって短時間に目標電流値に近づけることができるので目標電流値からずれることがなくなるため、正確な明るさで画像表示できる。

本発明によれば、ブースト電流プログラム機能とダブルバッファ機能とを有する出力手段をデータ線に設けたので、データ線の数的大幅に削減することができる。このため、例えば、接続ピッチが制限されている表示装置に本発明を適用する場合には、高精細なディスプレイ装置を実現することが可能になる。

本発明によれば、垂直方向に隣接する画素間で供給されるパルスが近接もしくは隣接した逆の位相部を有するようになっているため、パルス幅が広がっても明るさの変動を隣接する画素が補い合うので、フリッカが発生することを防止できる。また水平方向に隣接する画素間でも一対の発光制御線が交差しているため供給されるパルスが近接もしくは隣接した逆の位相部を有するようになり、パルス幅が広がっても明るさの変動を隣接する画素が補い合い、垂直方向と同様に、フリッカが発生することを防止できる。また画素のオンオフによる画素電源電圧の変動を相殺し、表示の均一性劣化を低減することができる。このパルス駆動の方法は、実施形態1および2とは独立に用いてもよく、これによって本発明の目的である階調（輝度）調整範囲の拡大が可能である。

以上説明したように本発明によれば、電子素子、例えば電気光学変換素子の変換効率の向上や開口率の向上に対応して、階調および表示の明るさをより広い範囲で精度よく制御できる。また高速な電流プログラムが可能となることから、高解像度ディスプレイにも有効である。

請求の範囲

(1) 電子素子を備える単位回路と、

前記単位回路に接続されたデータ線と、

- 5 データ信号に対応した電流または電圧を第 1 の出力として出力するための第 1 出力手段と、

前記第 1 の出力のレベルに対応した電流または電圧を第 2 の出力として出力するための第 2 出力手段と、

- 10 前記第 1 出力手段からの前記第 1 の出力または前記第 2 出力手段からの前記第 2 の出力の一方または双方を選択して前記データ線に供給するための選択供給手段と、を備える電子装置。

(2) 前記選択供給手段は、少なくとも一つのスイッチング素子を備える、請求項 1 に記載の電子装置。

- 15 (3) 前記データ線は、当該データ線を流れる電流を受ける負荷手段を備えている、請求項 1 に記載の電子装置。

(4) 前記単位回路における定電流駆動能力と前記負荷手段における電流受容能力との比が、前記第 1 出力手段における電流供給能力と前記第 2 出力手段における電流供給能力との比と実質的に同等である、請求項 3 に記載の電子装置。

- 20 (5) 前記負荷手段は、前記第 2 出力手段から見て前記データ線の末端に設けられている、請求項 3 に記載の電子装置。

(6) 前記負荷手段は、前記選択供給手段が前記第 2 出力手段からの前記第 2 の電流を選択しデータ線に供給している場合に、当該データ線を流れる電流を受容するように構成されている、請求項 3 に記載の電子装置。

- 25 (7) 前記選択供給手段は、前記電子素子に出力を供給すべき出力期間の少なくとも終わりの所定期間は前記第 1 出力手段からの前記第 1 の出力のみを選択して前記データ線に供給する、請求項 1 に記載の電子装置。

(8) 前記選択供給手段は、前記電子素子に出力を供給すべき出力期間の少なくとも初めの所定期間は少なくとも前記第 2 出力手段からの前記第 2 の出力を選択して前記データ線に供給する、請求項 1 に記載の電子装置。

(9) 前記第 2 出力手段は、前記第 1 出力手段の出力する前記第 1 の出力の出力値よりも大きな出力値を有する前記第 2 の出力を出力可能に構成されている、請求項 1 に記載の電子装置。

5 (10) 前記選択供給手段は、前記電子素子に出力を供給すべき出力期間の初めの所定期間は少なくとも前記第 2 出力手段からの前記第 2 の出力を選択して前記データ線に供給し、当該出力期間の終わりの所定期間は少なくとも前記第 1 出力手段からの前記第 1 の出力を選択して前記データ線に供給する、請求項 1 に記載の電子装置。

10 (11) 前記選択供給手段は、前記データ線の実質的に同一箇所において前記第 1 出力手段および前記第 2 出力手段からの出力を供給することが可能に構成されている、請求項 1 に記載の電子装置。

(12) 前記第 2 出力手段は、外部から供給されたデータ信号に対応した電流または電圧を前記第 2 の出力として出力する、請求項 1 に記載の電子装置。

15 (13) 前記第 1 出力手段、前記第 2 出力手段、および前記選択供給手段からなる出力供給手段が一の前記データ線に対して複数設けられ、一の前記出力供給手段が前記データ信号に基づく電流値または電圧値を記憶している間に、他の少なくとも一の前記出力供給手段が前記データ線に出力を供給する、請求項 1 に記載の電子装置。

20 (14) 各前記電流供給手段は、複数の水平走査期間中における前後する二つの水平走査期間を前記データ線に対する出力供給のための期間とし、残りの水平走査期間を前記単位回路の制御のための期間とする、請求項 1 3 に記載の電子装置。

(15) 所定数の前記電子装置が一組を構成しており、

25 前記水平走査期間を所定数で分割したサブ期間のそれぞれにおいて、各前記電子装置が各々対応する前記データ信号に基づく電流値または電圧値を記憶するように構成されている、請求項 1 4 に記載の電子装置。

(16) 一対の前記単位回路が一の前記データ線に接続されており、各前記単位回路には、各前記電子素子の出力を制御する一対の制御線のいずれか一方が接続されており、

各前記制御線には互いに近接もしくは隣接した逆位相部を有する制御信号が供給可能に構成されている、請求項 1 に記載の電子装置。

(17) 前記制御線には、所定のデューティ比のパルスが連続的に出力可能に構成されている、請求項 1 6 に記載の電子装置。

- 5 (18) 一对の前記制御線は、隣接する前記単位回路毎に交差している、請求項 1 6 に記載の電子装置。

(19) 所定数の前記単位回路が一群を構成しており、

- 10 隣接する群の前記単位回路に供給される前記制御信号は、前記隣接する群間で近接もしくは隣接した逆位相を有するように構成されている、請求項 1 6 に記載の電子装置。

(20) 請求項 1 乃至請求項 1 9 のいずれか一項に記載の電子装置において、前記電子素子は、電流駆動素子である電子装置。

(21) 請求項 1 乃至請求項 1 9 のいずれか一項に記載の電子装置において、前記電子素子は、電気光学素子である電子装置。

- 15 (22) 請求項 1 乃至請求項 1 9 のいずれか一項に記載の電子装置を備えた電子機器。

(23) 電子素子を備えた単位回路に出力を供給するための電子装置の駆動方法において、

外部から供給されたデータ信号に対応した電流または電圧を第 1 の出力として出力するステップと、

- 20 前記第 1 の出力のレベルに対応した第 2 の出力を出力するステップと、

前記第 1 の出力または前記第 2 の出力の一方または双方を選択して、前記単位回路が接続されたデータ線に供給するステップと、を備える電子装置の駆動方法。

(24) 前記データ線に供給するステップでは、前記電子素子に出力を供給すべき出力期間の少なくとも終わりの所定期間は前記第 1 の出力のみを選択して前記データ線に供給する、請求項 2 3 に記載の電子装置の駆動方法。

- 25 (25) 前記データ線に供給するステップでは、前記電子素子に出力を供給すべき出力期間の少なくとも初めの所定期間は少なくとも前記第 2 の出力を選択して前記データ線に供給する、請求項 2 3 に記載の電子装置の駆動方法。

(26) 前記第 2 の出力を出力するステップでは、前記第 1 の出力の有する出力値よりも大きな出力値を有する前記第 2 の出力を出力する、請求項 2 3 に記載の電子装置の駆動方法。

- 5 (27) 前記データ線に供給するステップでは、前記電子素子に出力を供給すべき出力期間の初めの所定期間は少なくとも前記第 2 の出力を選択して前記データ線に供給し、当該出力期間の終わりの所定期間は少なくとも前記第 1 の出力を選択して前記データ線に供給する、請求項 2 3 に記載の電子装置の駆動方法。

- (28) 前記第 2 の出力を出力するステップでは、外部から供給されたデータ信号に対応した電流値または電圧値を有する前記第 2 の出力を出力する、請求項 2 3 に記載の電子装置の駆動方法。

- (29) 前記第 1 の出力を出力するステップおよび前記第 2 の出力を出力するステップの少なくとも一方において、前記第 1 の出力または前記第 2 の出力を出力する前に、前記電流値または前記電圧値を記憶するステップを備える、請求項 2 3 に記載の電子装置の駆動方法。

- 15 (30) 前記第 1 の出力および前記第 2 の出力からなる出力供給組を一の前記データ線に対して複数組出力可能な場合において、一の前記出力供給組が前記電流値または前記電圧値を記憶するステップを実行している間に、他の少なくとも一の前記出力供給組において、前記データ線に出力するステップを実行する、請求項 2 9 に記載の電子装置の駆動方法。

- 20 (31) 複数の水平走査期間中における前後する二つの水平走査期間において各前記ステップを実行し、残りの水平走査期間において実行される、前記単位回路を制御するステップを備える、請求項 3 0 に記載の電子装置の駆動方法。

- (32) 前記電流値または電圧値を記憶するステップでは、前記水平走査期間を所定数で分割したサブ期間のそれぞれにおいて、各々対応する前記データ信号に基づく電流値または電圧値を記憶する、請求項 2 9 に記載の電子装置の駆動方法。

- 25 (33) 電子素子を備える一対の単位回路が一のデータ線に接続されており、
各前記単位回路には、各前記電子素子の出力を所定のデューティ比で制御する一対の制御線のいずれか一方が接続されており、

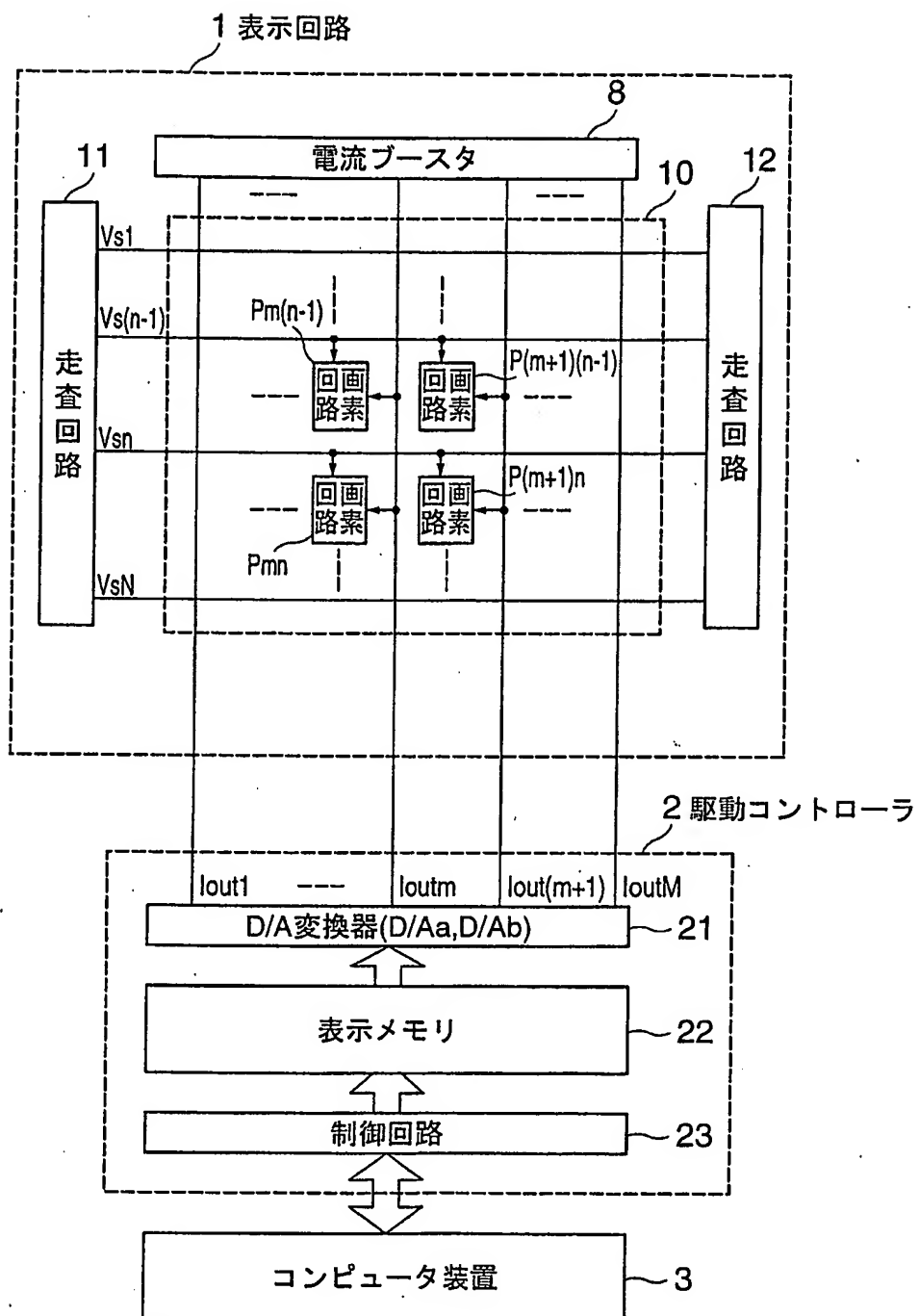
各前記制御線には互いに近接もしくは隣接した逆位相部を有する制御信号が供給可能に構成されている、電子装置。

(34) 隣接する前記単位回路もしくは前記単位回路の組では、互いの能動期間が近接もしくは隣接した逆位相部を有するように所定のデューティ比で制御される、

5 電子装置の駆動方法。

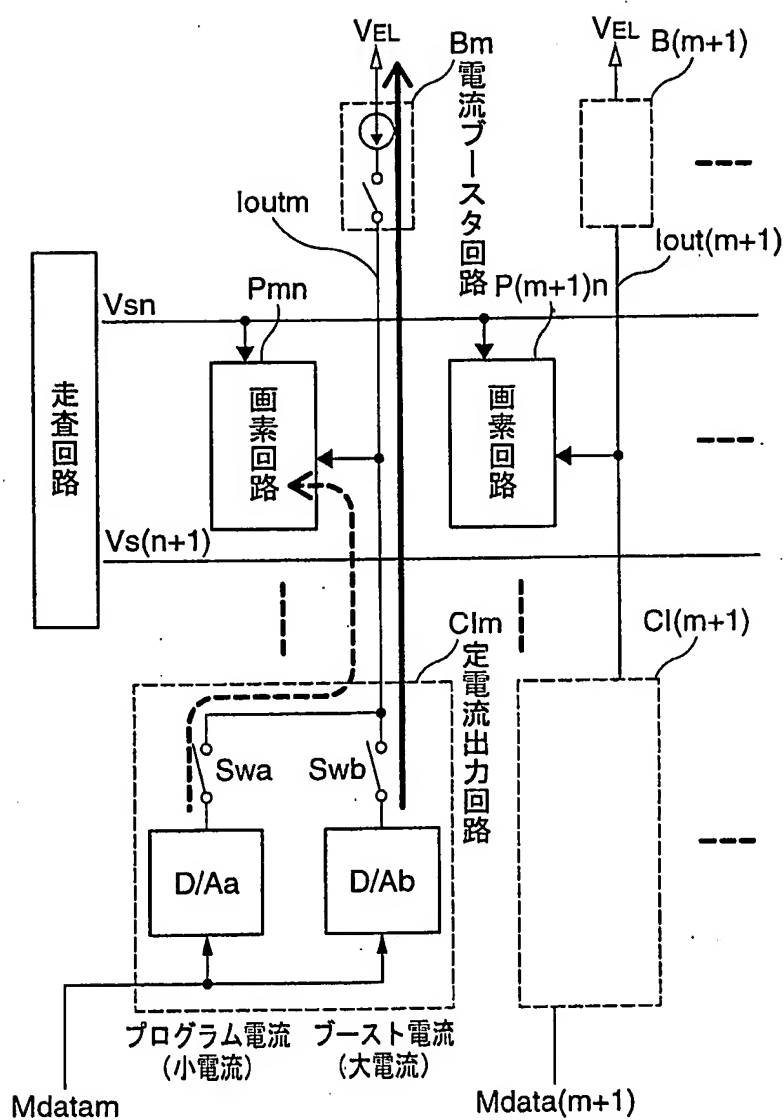
1/13

図1



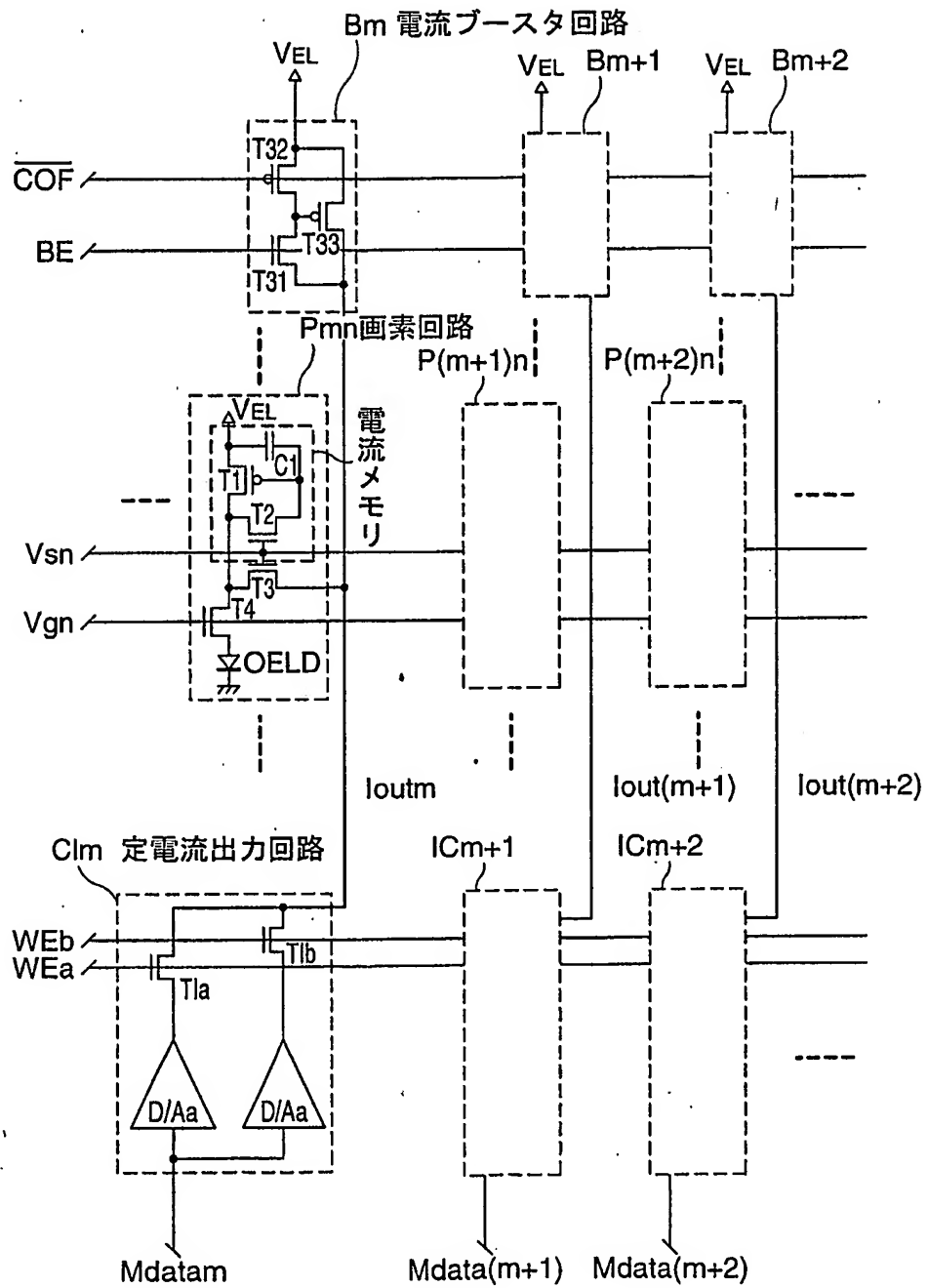
2/13

図2



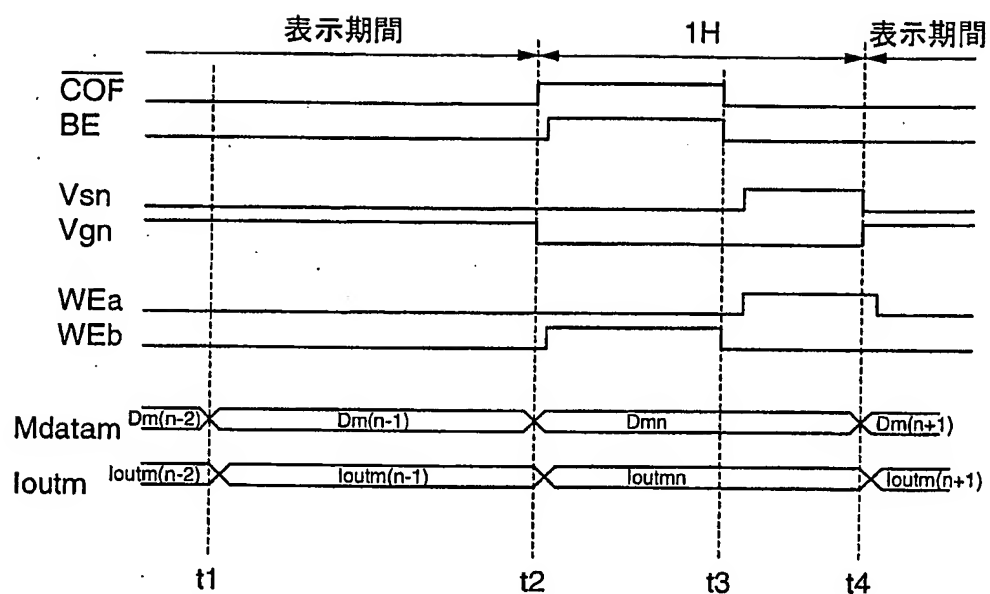
3/13

図3



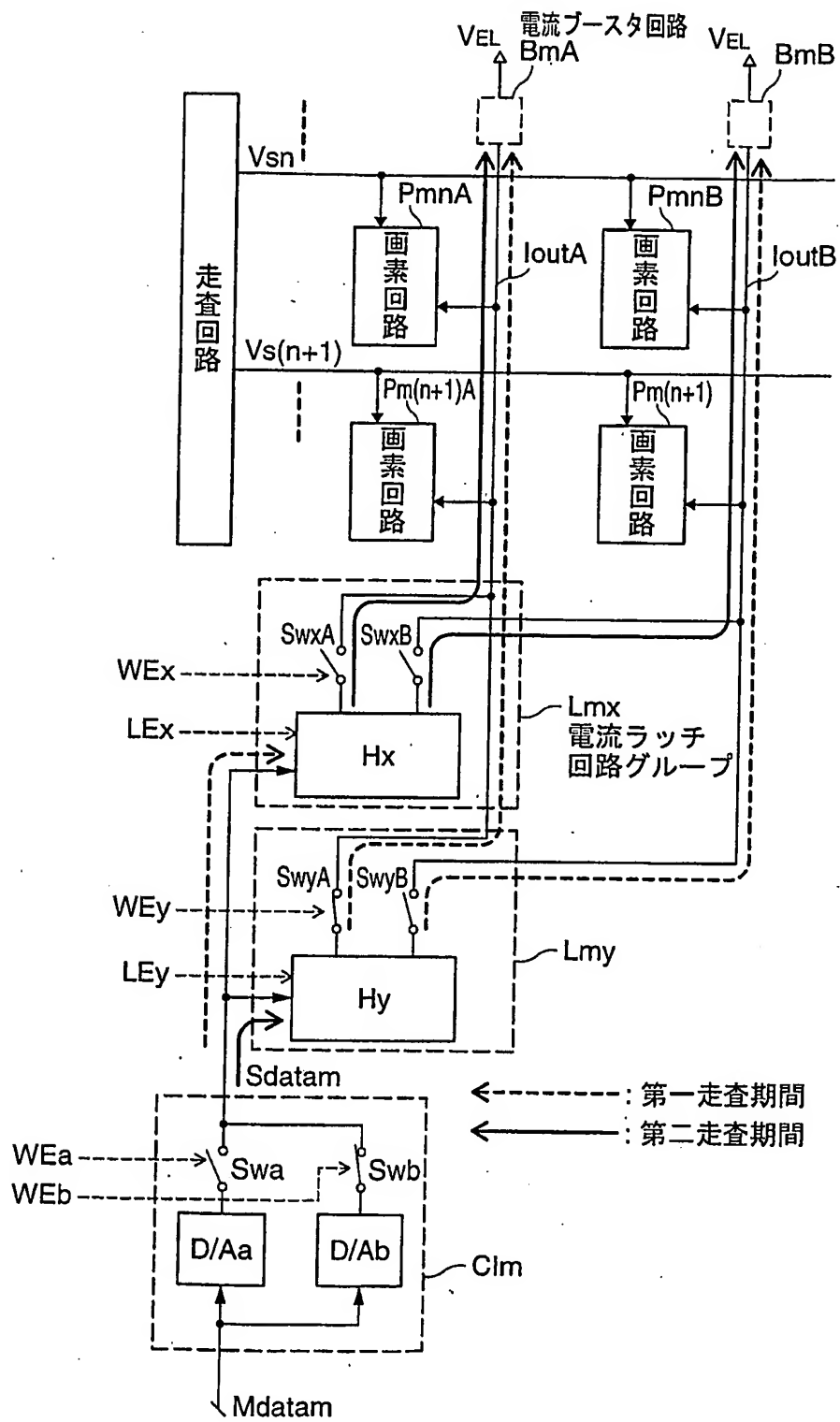
4/13

図4



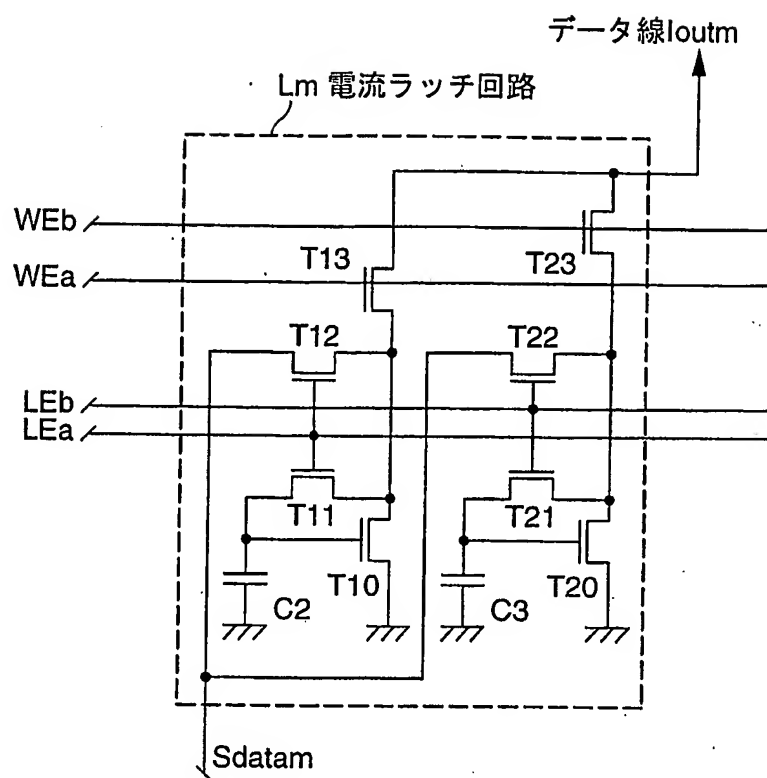
6/13

図6



7/13

図7



8/13

図8

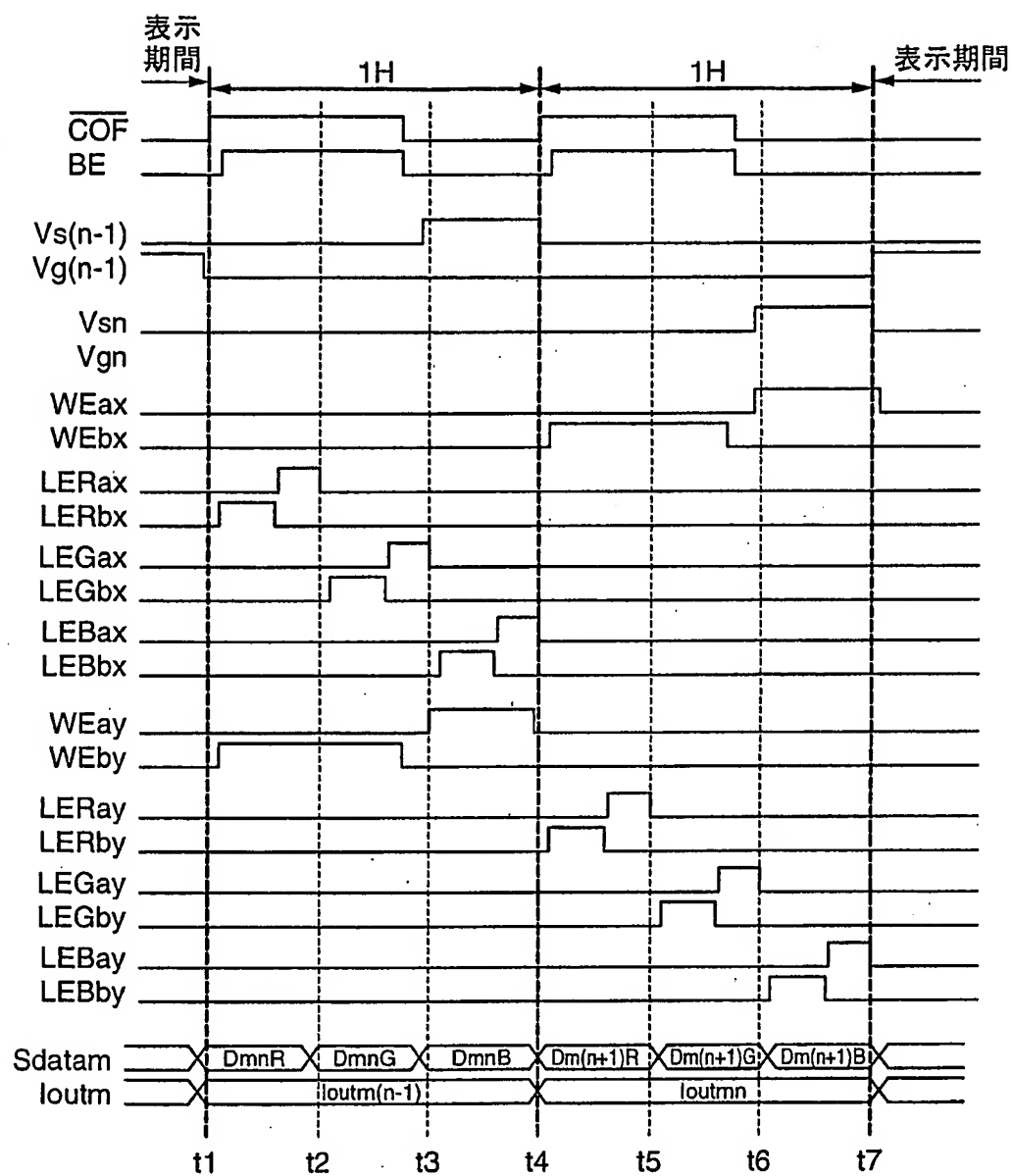
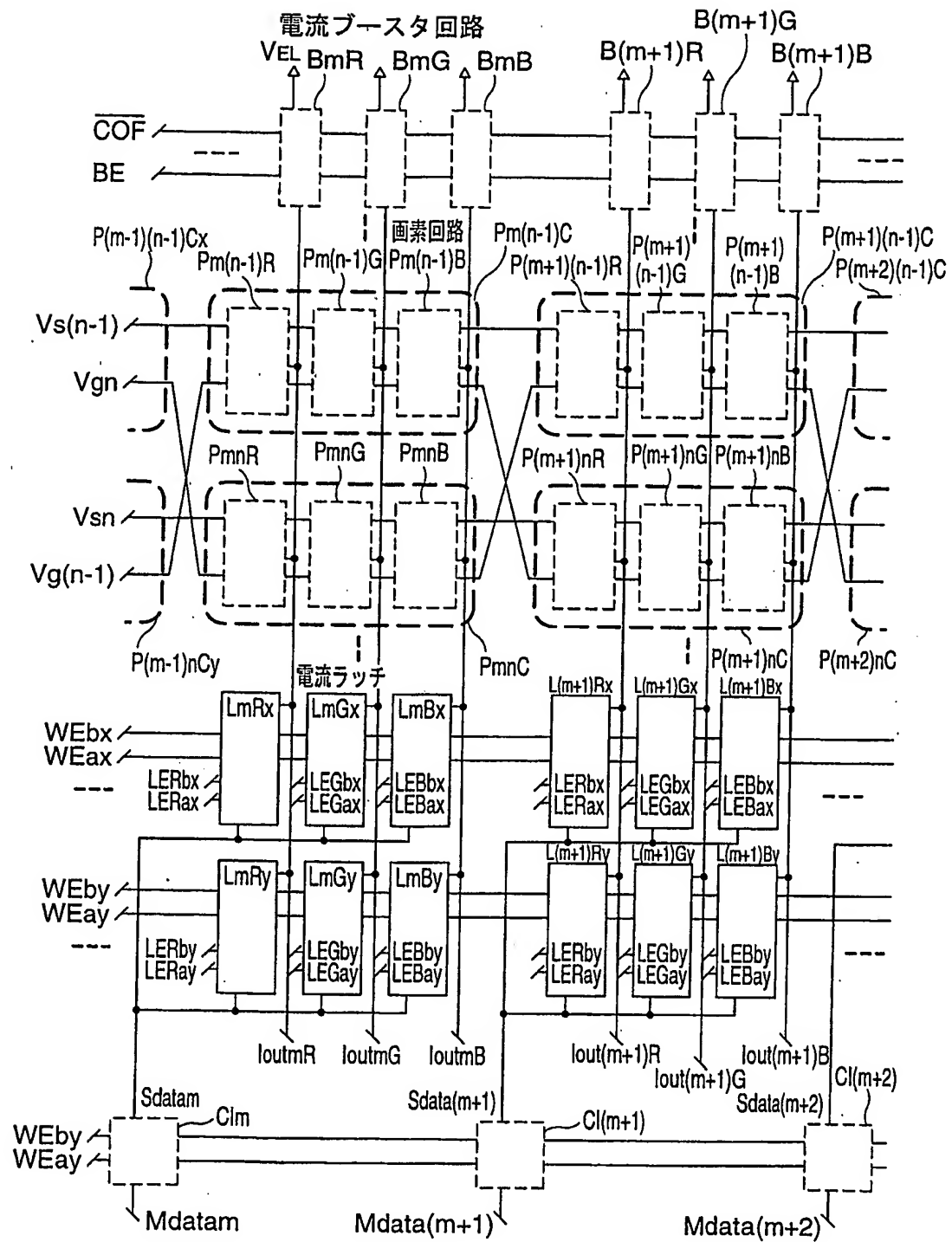
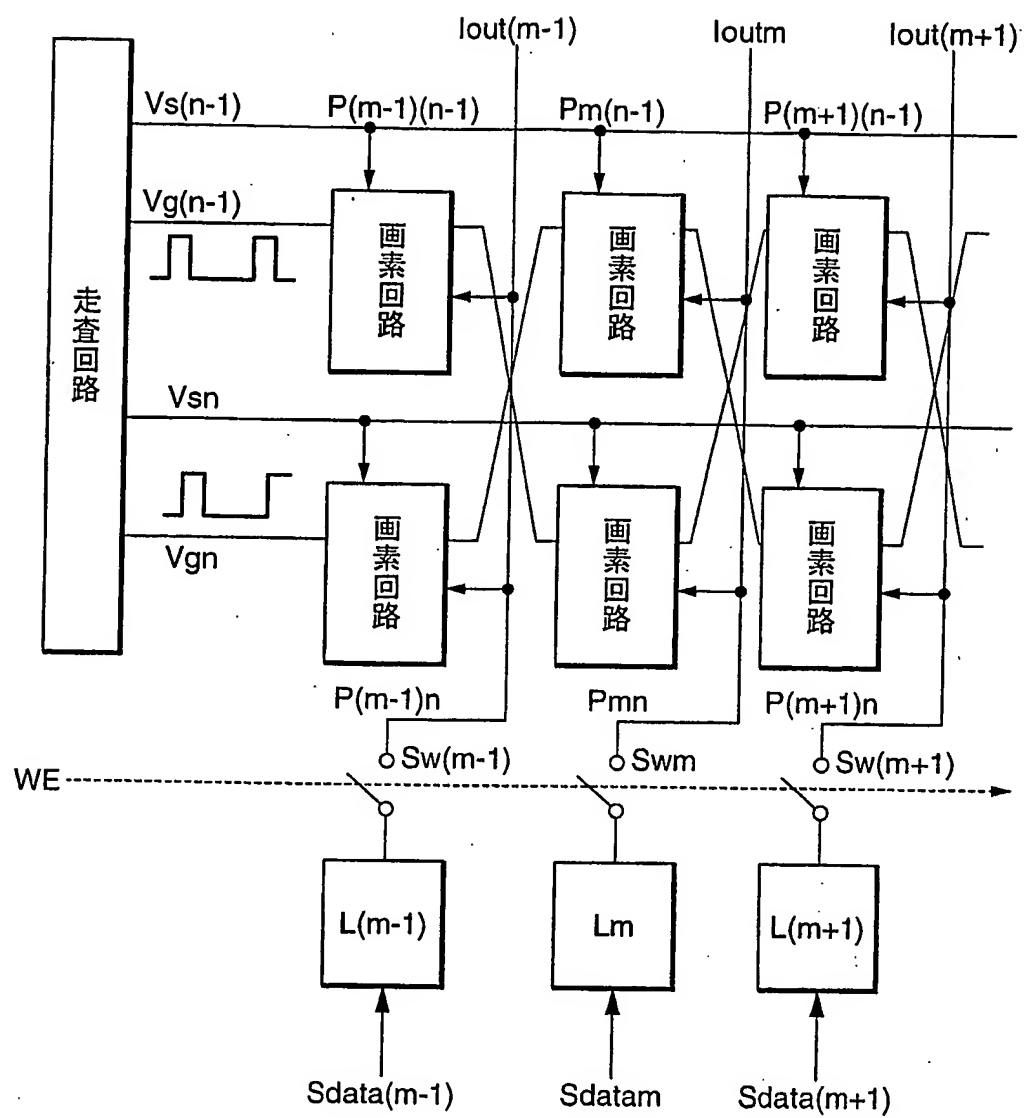


图9



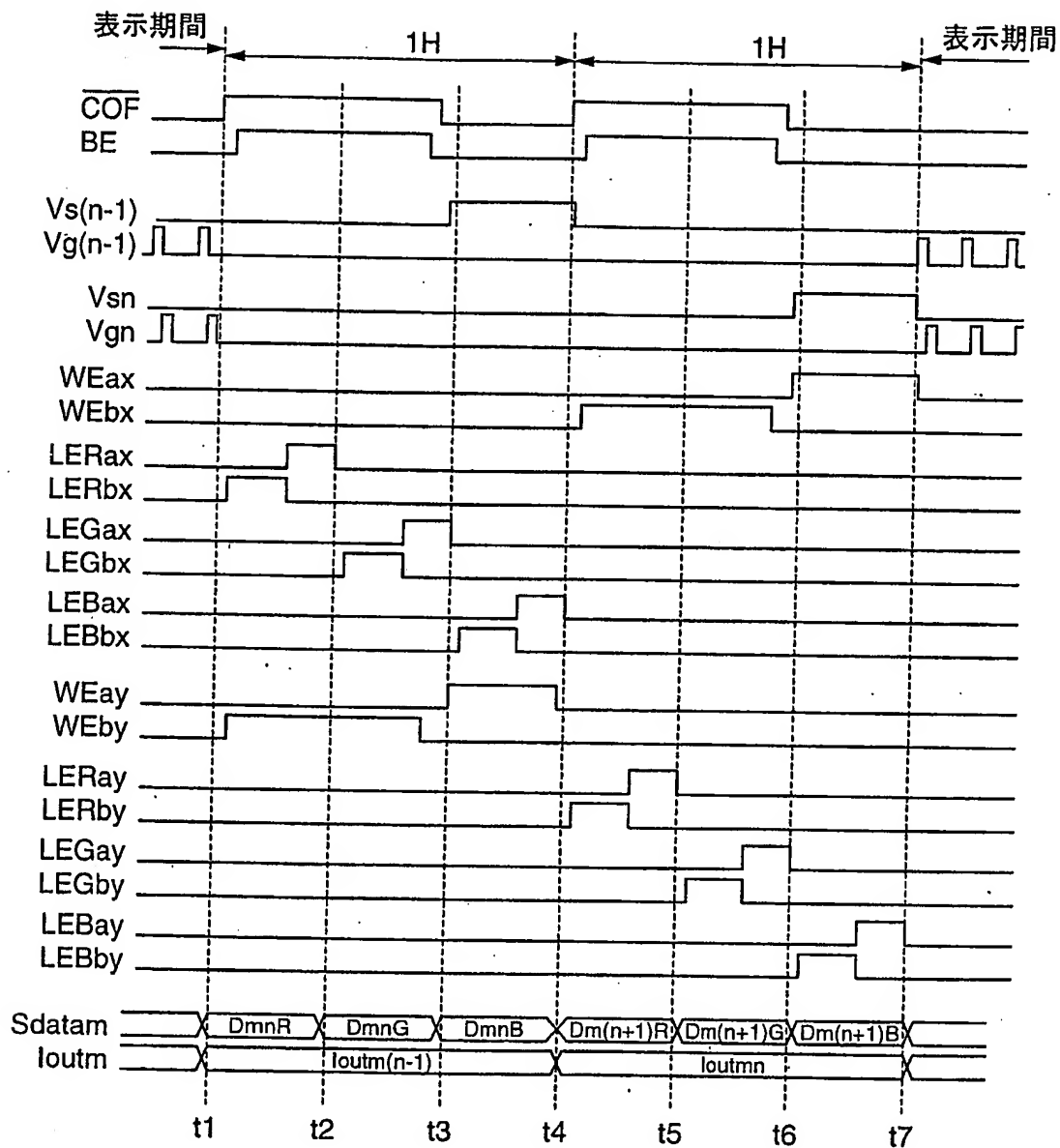
10/13

図10



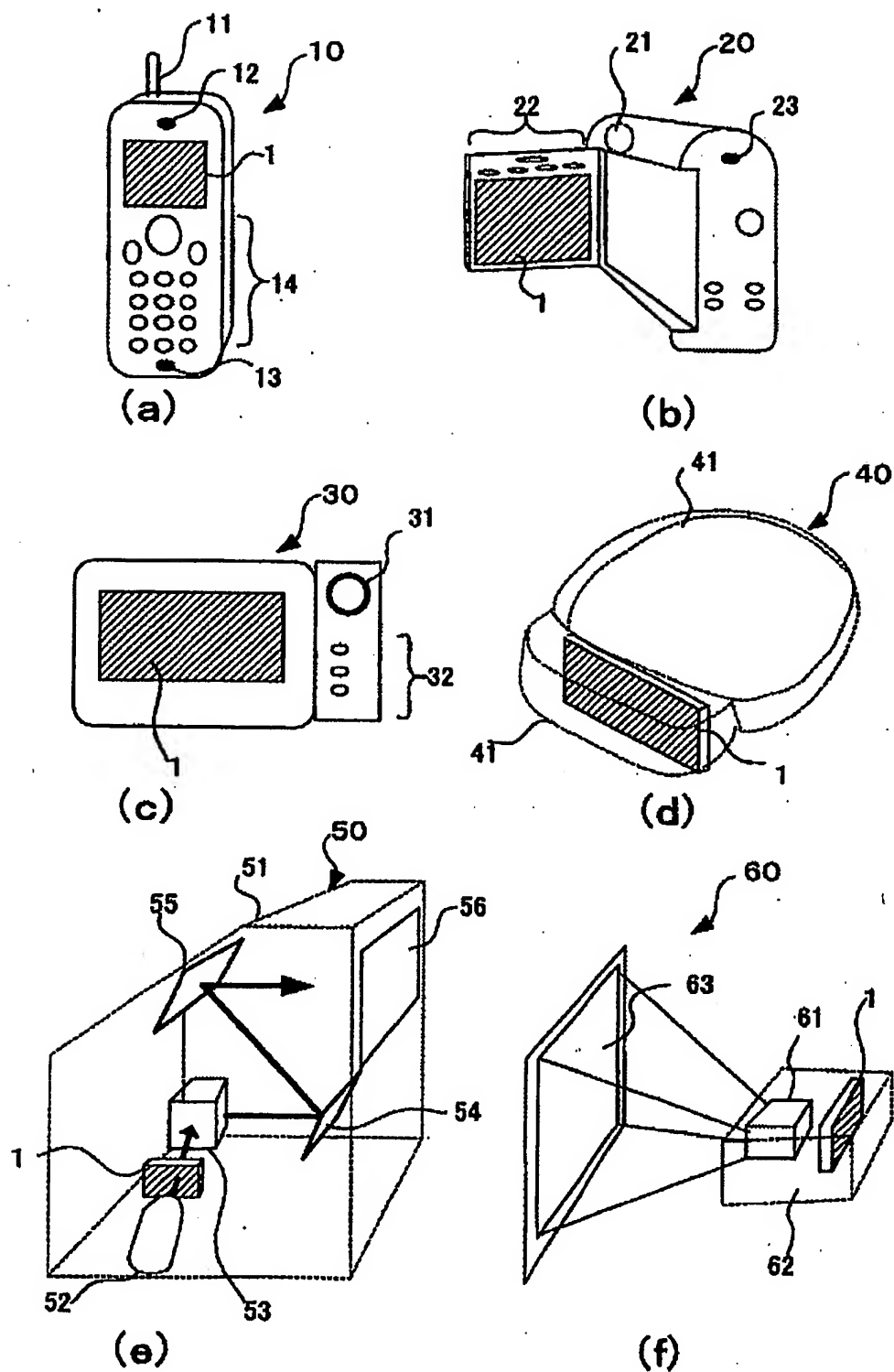
11/13

図11



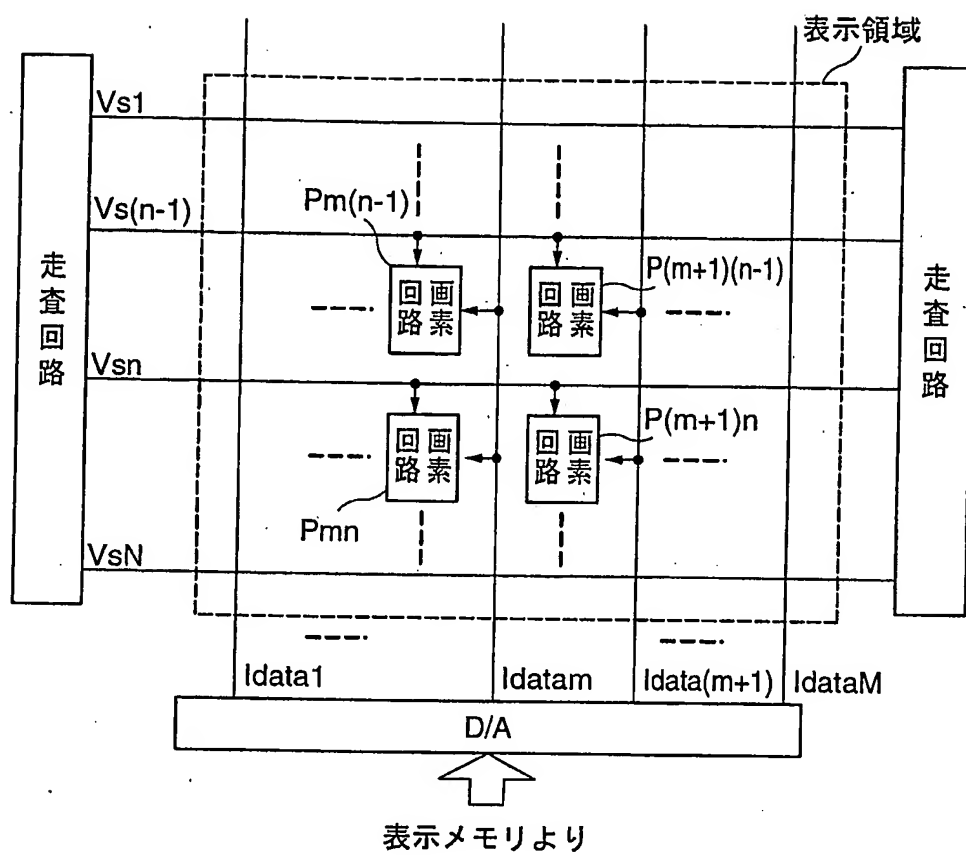
12/13

図 1 2



13/13

図13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05309

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/30, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-296837 A (Toray Industries, Inc.), 26 October, 2001 (26.10.01), Full text; all drawings (Family: none)	1-2, 7-12, 20-28
X	JP 7-295520 A (Sony Corp.), 10 November, 1995 (10.11.95), Par. Nos. [0014] to [0018]; Figs. 1 to 4	1-2, 7-8, 10-12, 21-25, 27-28
A	& EP 0678848 A1 & US 5686936 A	9, 20, 26
A	WO 99/65011 A2 (Koninklijke Philips Electronics N.V.), 16 December, 1999 (16.12.99), Full text; all drawings & US 6373454 B1 & JP 2002-517806 A	1-2, 7-12, 20-28

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 July, 2003 (22.07.03)

Date of mailing of the international search report
05 August, 2003 (05.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05309

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01), Full text; all drawings (Family: none)	1-2, 7-12, 20-28
A	JP 4-328791 A (Fuji Xerox Co., Ltd.), 17 November, 1992 (17.11.92), Full text; all drawings (Family: none)	1-2, 7-12, 20-28
A	JP 2002-55659 A (NEC Corp.), 20 February, 2002 (20.02.02), Full text; all drawings & US 2002/0021606 A1 & EP 1189191 A2	1-2, 7-12, 20-28
A	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Full text; all drawings & CN 1278635 A	1-2, 7-12, 20-28
E, A	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Full text; all drawings (Family: none)	1-2, 7-12, 20-28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05309

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the inventions of claims 1, 2; 7-12; 20-22; 23-28 (hereinafter referred to as invention A), the inventions of claims 3-6 (hereinafter referred to as invention B), the inventions of claims 13-15, 29-33 (hereinafter referred to as invention C), and the inventions of claims 16-19, 34 (hereinafter referred to as invention D) is the constitution concerning the second output means for outputting a current or voltage as a second output corresponding to a first output level. However, the search has revealed that the technical feature is not novel since it is disclosed in document JP 2001-296837 A (Toray Industries, Inc.), 2001.10.26, and document JP 7-295520 A (Sony Corp.), 1995.11.10. (Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 2; 7-12; 20-22; 23-28

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05309

Continuation of Box No. II of continuation of first sheet (1)

Therefore, there is no feature common to all inventions A to D.
Consequently, it appears that claims 1-34 do not satisfy the requirement
of unity of invention.

国際調査報告

国際出願番号 PCT/JPO3/05309

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ G09G 3/30
H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ G09G 3/30
H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-296837 A (東レ株式会社) 2001. 10. 26, 全文, 全図 (ファミリーなし)	1-2, 7-12, 20-28
X	JP 7-295520 A (ソニー株式会社) 1995. 11. 10, 段落【0014】-【0018】 【図1】-【図4】	1-2, 7-8, 10-12, 21-25, 27-28
A	& EP 0678848 A1 & US 5686936 A	9, 20, 26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

22. 07. 03

国際調査報告の発送日

05.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 99/65011 A2 (Koninklijke Philips Electronics N. V.), 1999.12. 16, 全文, 全図 & US 6373454 B1 & JP 2002-517806 A	1-2, 7-12, 20- 28
A	JP 2001-56667 A (ティーディーケイ株式会社) 2001. 02. 27, 全文, 全図 (ファミリーなし)	1-2, 7-12, 20- 28
A	JP 4-328791 A (富士ゼロックス株式会社) 1992. 11. 17, 全文, 全図 (ファミリーなし)	1-2, 7-12, 20- 28
A	JP 2002-55659 A (日本電気株式会社) 2002. 02. 20, 全文, 全図 & US 2002/0021606 A1 & EP 1189191 A2	1-2, 7-12, 20- 28
A	JP 2001-60076 A (ソニー株式会社) 2001. 03. 06, 全文, 全図 & CN 1278635 A	1-2, 7-12, 20- 28
E, A	JP 2003-150104 A (松下電器産業株式会社) 2003. 05. 23, 全文, 全図 (ファミリーなし)	1-2, 7-12, 20- 28

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-2, 7-12, 20-22, 23-28 (以下、発明A)、請求の範囲3-6 (以下、発明B)、請求の範囲13-15, 29-33 (以下、発明C)、及び請求の範囲16-19, 34 (以下、発明D)に共通の事項は、第1の出力レベルに対応した電流または電圧を第2の出力として出力するための第2出力手段に関する構成(即ち、請求の範囲1に関する構成。)にあると認められるが、しかしながら、調査の結果、前記構成は、文献JP 2001-296837 A(東レ株式会社)2001.10.26、JP 7-295520 A(ソニー株式会社)1995.11.10に開示されていることから、新規でないことが明らかとなった。それ故、発明A-D全てに共通の技術的事項はない。よって、請求の範囲1-34は発明の単一性の要件を満たしていないことが明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1-2, 7-12, 20-22, 23-28

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。